

# 初步技术数据



## Embedded Processor

### 初步技术数据

### ADSP-BF531/BF532/BF533

#### 概要

ADSP-BF53x 是主频高达 600 MHz 高性能 Blackfin 处理器  
内核包括: 2 个 16 位 MAC, 2 个 40 位 ALU, 4 个 8 位视频 ALU, 以及 1 个 40 位移位器

RISC 式寄存器和指令模型, 编程简单, 编译环境友好  
先进的调试、跟踪和性能监视

内核 0.7 到 1.2 伏供电带有片内调压器

3.3V I/O

160 球形 Mini-BGA, 176 引脚 LQPF 封装

#### 存储器

高达 148Bytes 片内存储器:

16Kbytes 的指令 SRAM/Cache

64Kbytes 的指令 SRAM

32Kbytes 的指令 ROM

32Kbytes 的数据 SRAM/Cache

32Kbytes 的数据 SRAM

4Kbytes 用于存放中间结果的 SRAM

2 个双通道存储器 DMA 控制器

存储器管理单元 (MMU) 提供存储器保护

外部存储器控制器可与 SDRAM、SRAM、Flash 和 ROM  
无缝连接

灵活的存储器引导方式选择: 可以由 SPI、外部存储器或  
内部 ROM 引导

#### 外设

并行外设接口 (PPI) / GPIO 支持 ITU-R 656 视频数据格式

2 个双通道全双工同步串行接口, 支持 8 个立体声 I<sup>2</sup>S 通道

12 通道 DMA 控制器

SPI 兼容端口

3 个定时/计数器, 支持 PWM

支持 IrDA 的 UART

事件处理

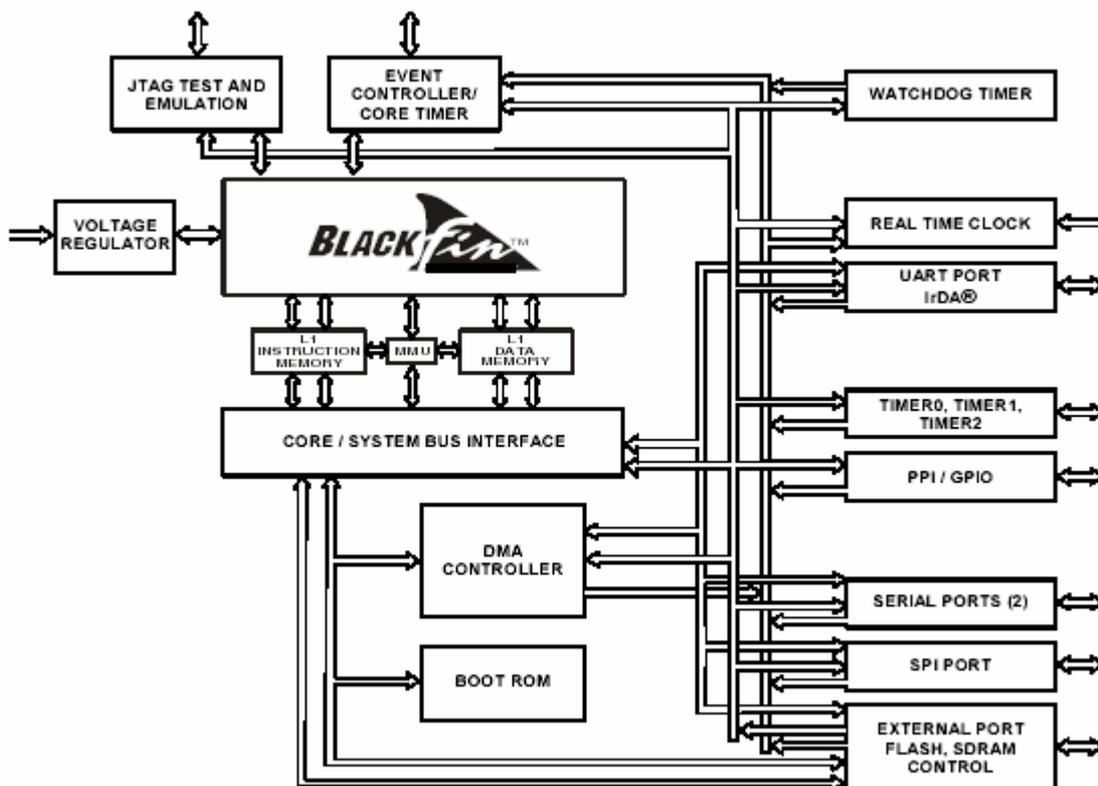
实时时钟

“看门狗”定时器

调试 / JTAG 接口

1-63 倍频的片内 PLL

BLACKFIN 功能框图



**说明**

本数据手册提供的是关于 Blackfin™ 处理器的初步信息。

**概述**

ADSP-BF53x系列处理器是Blackfin 系列产品的成员之一，融合了Analog Devices/Intel 的微信号结构（Micro

表1.处理器比较

	ADSP-BF531	ADSP-BF532	ADSP-BF533
最高性能	400MHZ/800MMACs	400MHZ/800MMACs	600MHZ/1200MMACs
指令 SRAM/Cache	16K 字节	16K 字节	16K 字节
指令 SRAM	16K 字节	32K 字节	64K 字节
指令 ROM	32K 字节	32K 字节	
数据 SRAM/Cache	16K 字节	32K 字节	32K 字节
数据 SRAM			32K 字节
中间结果暂存器	4K 字节	4K 字节	4K 字节

通过集成丰富的业界领先的系统外设及存储器，Blackfin 系列处理器成为下一代需要将 RISC 式编程、多媒体支持和前沿的信号处理等集成在片内的处理器平台的选择。

**便携式低功耗结构**

Blackfin 系列处理器具有世界领先的低功耗和性能。Blackfin 系列处理器采用低功耗和低电压的设计方法，具有动态功率管理的特点，即通过改变工作电压和频率来大大降低总功耗。与仅改变工作频率相比，既改变电压又改变频率能够使总功耗减少 1/3。对于便携式应用来说，这相当于延长了电池的寿命。

**系统集成**

对下一代的数字通信和多媒体应用，ADSP-BF53x系列处理器是一个高度集成的片上系统解决方案。通过将工业标准接口与高性能的数字信号处理内核相结合，用户可以快速开发出节省成本的解决方案，而无需昂贵的外部组件。系统外设包括一个UART口、一个SPI口、两个串行口（SPORT）、四个通用定时器（其中三个具有PWM功能）、一个实时时钟、一个看门狗定时器，以及一个并行外设接口。

**ADSP-BF53x 系列处理器外设**

ADSP-BF53x系列处理器包含丰富的外设，它们通过不同的高速宽带内总线与内核相连，使系统不但配置灵活而且有很好的性能（见第1页的功能框图）。通用外设包括一些功能，如UART、带有PWM（脉冲宽度调制）和脉冲测量能力的定时器、通用的I/O标志引脚、一个实时时钟和一个看门狗定时器。这些外设满足了典型系统的各种需求，并且通过它们增强了系统的扩充能力。除了这些通用的外设，ADSP-BF53x系列处理器还包含有用于各种音频、视频和调制解调编解码功能的高速串行和并行端口；一个用于

Signal Architecture）（MSA）。Blackfin 处理器这种体系结构将艺术级的dual-MAC 信号处理器引擎，简洁的RISC式微处理器指令集的优点，以及单指令多数据（SIMD）多媒体能力结合起来，形成了一套独特的指令集结构。

ADSP-BF53x系列处理器代码和管脚完全兼容，其区别仅仅在于性能和片内存储器。具体的性能和存储器配置请参考表1。

灵活地管理来自片内外设和外部信源的中断事件处理器；以及可根据不同的应用来配置系统的性能和功耗的功率管理控制功能。

除通用 I/O，实时时钟和定时器外，所有其它的外设都有一个灵活的 DMA 结构。片内还有一个独立的存储器 DMA 通道，专用于在处理器的不同存储空间，包括外部的 SDRAM 和异步存储器，进行数据传输。多条片内总线能以 133MHz 的速度运行，提供了足够的带宽以保证处理器内核能够跟上片内和片外外设。

ADSP-BF53x 系列处理器包含一个片上调压器支持 ADSP-BF53x 系列处理器动态电源管理功能。调压器提供一电压范围从 2.25V 到 3.6V 的单输入电压给内核。该调压器也可以由用户旁路。

**Blackfin 处理器内核**

如第 3 页的图 1 所示，Blackfin 处理器内核包含 2 个 16 位乘法器，2 个 40 位的累加器，2 个 40 位的 ALU，4 个视频 ALU 和 1 个 40 位移位器。运算单元处理来自寄存器组的 8 位、16 位或者 32 位数据。

**MSA DSP 内核**

如第 3 页的图 1 所示，MAS DSP 内核包含 2 个 16 位乘法器，2 个 40 位的累加器，2 个 40 位的 ALU，4 个视频 ALU 和 1 个 40 位移位器。运算单元处理来自寄存器组的 8 位、16 位或者 32 位数据。

运算寄存器组包括 8 个 32 位寄存器。当执行 16 位操作数的运算时，寄存器组可作为 16 个独立的 16 位寄存器。运算的所有操作数都来自多端口寄存器组和指令常量域。

每个 MAC 每周期可完成一个 16 位乘 16 位的乘法运算，并把结果累加到 40 位的累加器中。支持符号型和无符

号型数据格式，舍入与饱和等操作。

ALU 除执行一套传统的 16 位或 32 位数据的算术和逻辑运算外，还包含许多特殊指令用于加速不同的信号处理 8 位平均操作，8 位减法/绝对值/累加 (SAA) 操作等；还提供有比较/选择和矢量搜索指令。

对于某些指令，两个 16 位 ALU 操作可以同时寄存器对（运算寄存器的高 16 位和低 16 位）中执行，也可以使用第二个 ALU，进行四个 16 位运算。

40 位的移位器可以执行移位和循环移位，可以用于标准化、提取和存储等操作。

任务。这些指令包括位操作（例如域提取和计算总数）、模  $2^{32}$  乘法、除法、饱和与舍入、符号/指数检测等；专用的一套视频指令包括字节对准和压缩操作，16 位和 8 位截断加，

程序控制器控制指令执行的顺序，包括指令对准和译码。对于程序流程，程序控制器支持相对于 PC 和间接条件跳转（支持静态分支预测）。硬件提供对零耗循环的支持。这种结构是完全互锁的，这就意味着，当有数据相关的指令时，不存在可见的流水线影响。

地址算术单元能够提供两套地址，用于从存储器中同时进行双存取。一个多端口寄存器组由 4 套 32 位的索引、修改、长度、基地址（用于循环缓冲）寄存器和 8 个另外的 32 位指针寄存器（用于 C 风格的索引堆栈操作）组成。

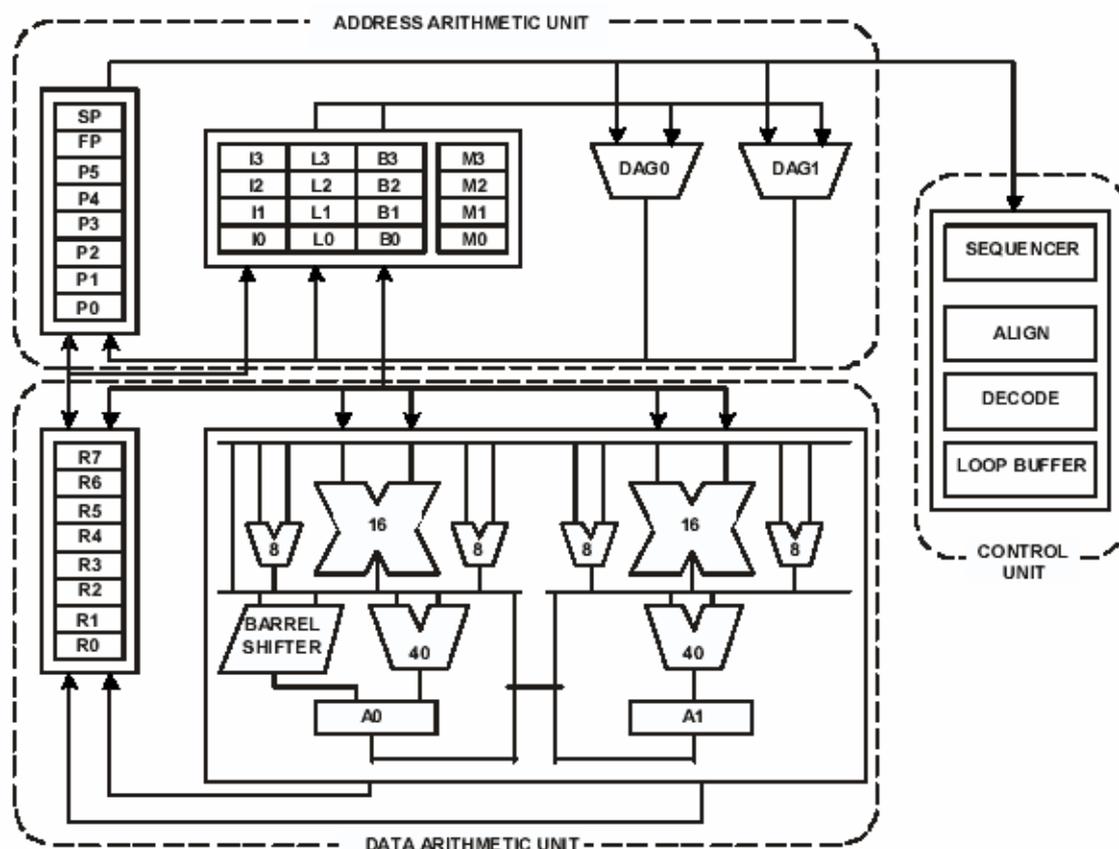


图 1. MSA DSP 内核

Blackfin 处理器采用改进的哈佛结构和分级的存储器结构。Level 1 (L1) 存储器一般以处理器速度全速运行，没有或只有很少的延迟。在 L1 级，指令存储器只存放指令。2 个数据存储器存放数据，一个专用的临时数据存储器存放堆栈和局部变量信息。

此外，由多个 L1 存储器组成的模块，可进行 SRAM 和 CACHE 的混合配置。存储器管理单元(MMU)提供存储器保护功能，对运行于内核上的独立的任务，可保护系统

寄存器免于意外的存取。

这种体系结构提供了 3 种运行模式：用户模式、管理员模式和仿真模式。用户模式限制对某些系统资源的访问，因此提供了一个受保护的软件环境；而管理员模式对系统和内核资源的访问不受限制。

Blackfin 处理器指令系统经过优化，16 位操作码组成了最常用的指令，这使得编译后的代码密度非常高。复杂

DSP 指令采用 32 位操作码，体现了多功能指令的全部特征。Blackfin DSP 支持有限的并发能力，即 1 个 32 位的指令可以和 2 个 16 位指令并发执行，使编程人员在单指令周期中使用尽可能多的内核资源。

Blackfin 处理器汇编语言使用易于编程和可读性强的代数语法，而且在和 C/C++ 编译器的链接上进行了优化，给程序员提供了快速有效的软件环境。

### 存储器结构

ADSP-BF53x 处理器把存储器视为一个统一的 4GBytes 的地址空间，使用 32 位地址。所有的资源，包括内部存储器、外部存储器和 I/O 控制寄存器，都占据公共地址空间的各自独立的部分。此地址空间的各部分存储器按分级结构排列，以提供高的性能价格比。一些非常快速、低延迟的存储器（如 CACHE 或 SRAM）置于片上，而更大的低成本、低性能的存储器作为片外存储器。请参见图 2，图 3 和图 4。

L1 存储器系统是 Blackfin 处理器内核中性能最高的最重要的存储器。通过外部总线接口单元 (EBIU)，片外存储器可以由 SDRAM、FLASH 和 SRAM 进行扩展，可以访问多达 132MBytes 的物理存储器。

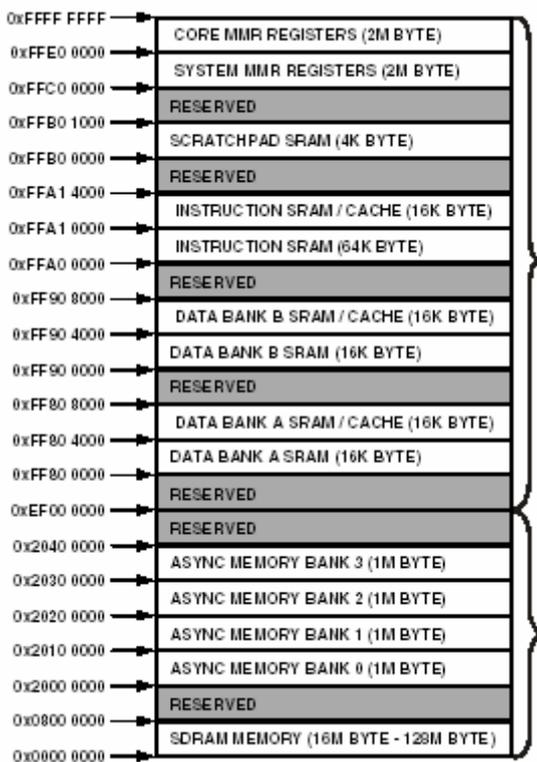


图 2. ADSP-21533 内部/外部存储器映射

存储器的 DMA 控制器提供高带宽的数据传输能力。它能够在内部 L1 存储器和外部存储器空间之间完成代码或数据的块传输。

### 内部（片内）存储器

ADSP-BF53x 处理器有 3 块片内存储器，提供到内核

的高带宽的访问。

第 1 块是 L1 指令存储器，由高达 80KBytes 的 SRAM 组成，其中 16KBytes 可以配置为一个 4 路组联合的 CACHE。L1 指令存储器以处理器的最快速度访问。

第 2 块片内存储器是 L1 数据存储器，包括两个各 32KBytes 的 Bank。每个 Bank 都可以配置，能提供 SRAM 和 CACHE 的功能。此存储器也以全速度访问。

第 3 块是一个 4KBytes 的临时数据 RAM，它和 L1 存储器有相同的运行速度，但是只能作为数据 SRAM 访问，不能配置为 CACHE。

### 外部（片外）存储器

外部存储器通过外部总线接口单元 (EBIU) 进行访问。此 16 位接口可与 1 个 bank 的同步 DRAM (SDRAM)，或与最多 4 个异步存储器设备（包括 FLASH、EPROM、ROM、SRAM 和存储器映射 I/O 设备）无缝连接。

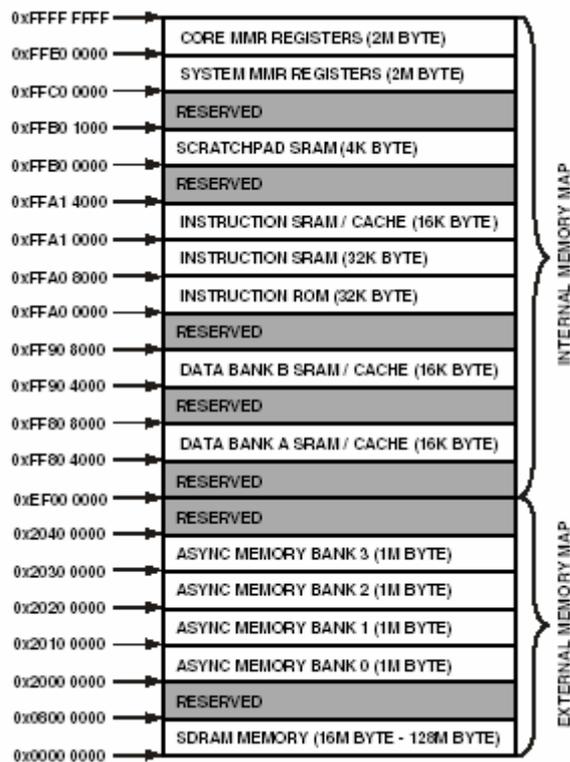


图 3. ADSP-21532 内部/外部存储器映射

PC133 兼容的 SDRAM 控制器可以通过编程与高达 128MBytes 的 SDRAM 接口。

异步存储器的控制器也能够通过编程控制多达 4 个 bank 的时序参数灵活的各种异步存储设备。无论使用设备的大小如何，每个 bank 的空间都占据 1MByte。这样，只有装满 4 个 1MByte 的存储器时地址空间才能连续。

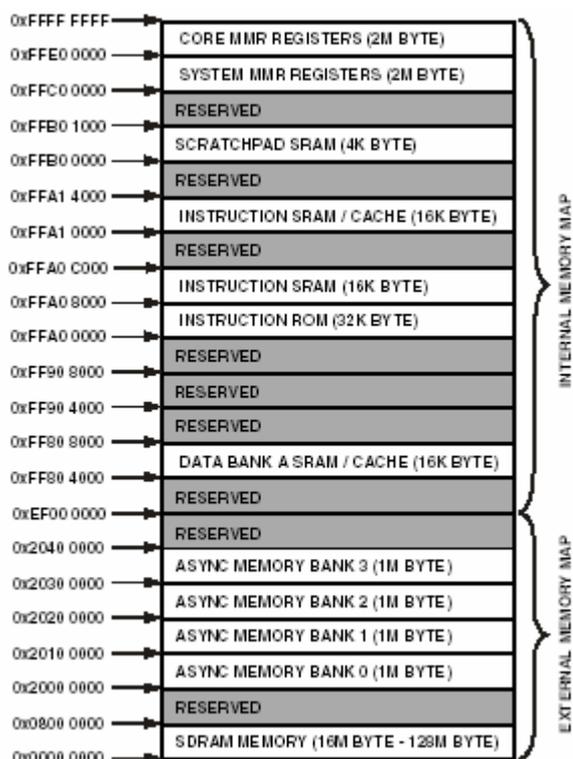


图 3. ADSP-21531 内部/外部存储器映射

**I/O 存储器空间**

Blackfin 系列控制器没有定义独立的 I/O 空间。所有的资源都被映射到统一的 32 位地址空间。片上 I/O 设备的控制寄存器被映射到靠近 4GByte 地址空间顶端的存储器映射寄存器(MMR)地址范围内。这个地址空间又被划分为两个小部分，一部分包含完成所有内核功能的控制 MMR，另一部分包含用于设置和控制内核以外的片内外设的寄存器。MMR 仅在管理员模式下可被访问，并且被看作是片内外设的保留空间。

**引导**

ADSP-BF53x 处理器包括一个小的引导内核，用于配置的适当的外设来引导。如果 ADSP-BF53x 处理器被配置为从引导 ROM 存储器引导，那么 DSP 从片内引导 ROM 开始执行。若需要更多信息，请看第 11 页的引导模式。

**事件处理**

ADSP-BF53x 处理器的事件控制器处理到达处理器的所有的异步和同步事件。事件处理支持嵌套和优先级。嵌套允许同时激活多个事件的服务程序。优先级保证高优先级事件的响应可以抢占较低优先级事件的响应。控制器支持 5 种不同类型的事件：

1. 仿真：仿真事件使处理器进入仿真模式，允许通过 JTAG 接口命令和控制处理器。
2. 复位：此事件使处理器复位。

3. 不可屏蔽中断(NMI)：NMI 事件可以由软件“看门狗”定时器或者处理器的 NMI 输入信号产生的。NMI 事件经常用作断电指示，有序地进行系统关闭工作。
4. 异常：异常是与程序执行同步发生的事件，即指令执行完之前可能会产生异常。例如数据对准违规、未定义指令等情况都将导致异常。
5. 中断：中断是与程序执行异步发生的事件，由定时器、外设、输入引脚等引起，也可以由软件指令触发。

每个事件都有一个相应的保存返回地址的寄存器和一个相应的从事件返回指令。一个事件被触发后，处理器当前状态被保存在管理员堆栈内。

ADSP-BF53x 处理器事件控制器包括 2 个部分，内核事件控制器(CEC)和系统中断控制器(SIC)。内核事件控制器和系统中断控制器协同工作来确定优先级和控制所有系统事件。从概念上讲，来自外设的中断进入到 SIC，然后被直接发送到 CEC 的通用中断中处理。

**内核事件控制器(CEC)**

除专用中断和异常事件外，CEC 还支持 9 个通用中断(IVG15-7)。这些通用中断中，推荐将优先级最低的 2 个中断(IVG15-14)留作软件中断，剩下的 7 个优先级中断分别用于 ADSP-BF53x 处理器的外设。表 2 描述了 CEC 的事件、事件向量表(EVT)的名称及优先级。

表 2. 内核事件控制器(CEC)

优先级 (0 为最高)	事件类	EVT 入口
0	仿真/测试控制	EMU
1	复位	RST
2	不可屏蔽中断	NMI
3	异常	EVX
4	保留	-
5	硬件错误	IVHW
6	内核定时器	IVTMR
7	通用中断 7	IVG7
8	通用中断 8	IVG8
9	通用中断 9	IVG9
10	通用中断 10	IVG10
11	通用中断 11	IVG11
12	通用中断 12	IVG12
13	通用中断 13	IVG13
14	通用中断 14	IVG14
15	通用中断 15	IVG15

**系统中断控制器(SIC)**

系统中断控制器为来自多个外设的中断源提供至 CEC 通用中断输入的映射和路由。尽管 ADSP-BF53x 处理器提供了默认的映射，用户仍可以通过改写中断设置寄存器(IAR)的值，来改变中断事件的映射和优先权。表 3 描述了 SIC 的中断源和至 CEC 的默认映射。

表 3. 系统中断控制器(SIC)

外设中断事件	默认映射
PLL 唤醒	IVG7
DMA 错误	IVG7
PPI 错误	IVG7
SPORT 0 错误	IVG7
SPORT 1 错误	IVG7
SPI 错误	IVG7
UART 错误	IVG7
实时时钟	IVG8
DMA 通道 0 (PPI)	IVG8
DMA 通道 1 (SPORT 0 RX)	IVG9
DMA 通道 2 (SPORT 0 TX)	IVG9
DMA 通道 3 (SPORT 1 RX)	IVG9
DMA 通道 4 (SPORT 1 TX)	IVG9
DMA 通道 5 (SPI)	IVG10
DMA 通道 6 (UART RX)	IVG10
DMA 通道 7 (UART TX)	IVG10
定时器 0	IVG11
定时器 1	IVG11
定时器 2	IVG11
PF 中断 A	IVG12
PF 中断 B	IVG12
DMA 通道 8 和 9 (存储器 DMA 流 1)	IVG13
DMA 通道 10 和 11 (存储器 DMA 流 0)	IVG13
软件看门狗定时器	IVG13

### 事件控制

ADSP-BF53x 处理器为用户提供了非常灵活的机制来控制事件的处理。在 CEC 中，有 3 个寄存器用于调整和控制事件。如下所示，它们中的每个寄存器都是 16 位宽度：

1. **CEC 中断锁存寄存器(ILAT):** ILAT 寄存器用于指示事件已被锁存。处理器锁存事件后相应的位置 1，事件被系统接受后该位清 0。该寄存器被控制器自动刷新，但仅当其相应的 IMASK 位被清除时可写。
2. **CEC 中断屏蔽寄存器(IMASK):** IMASK 寄存器控制发生的事件是否被屏蔽。当 IMASK 寄存器的相应位置 1 时，事件不被屏蔽，发生后由系统处理。该位清 0 将屏蔽事件，即使该事件已被锁存在 ILAT 寄存器中，处理器也不会处理该事件。在管理员模式下，该寄存器可以被读写。(注：通用中断可以通过分别使用 STI 和 CLI 指令设置为全局使能和禁止。)
3. **CEC 中断等待寄存器(IPEND):** IPEND 寄存器跟踪所有嵌套的事件。IPEND 寄存器中的相应位置 1 表示事件当前处于活动状态或嵌套在某一级。该寄存器被控制器自动刷新，但是在管理员模式下才能读取。

SIC 使用 3 个 32 位中断控制和状态寄存器，来进一步控制事件的处理。每个寄存器都包含表 2 所示的每个外设

中断相对应的位。

1. **SIC 中断屏蔽寄存器(SIC\_IMASK):** 此寄存器控制每个外设中断事件是否被屏蔽。当寄存器的相应位置 1 时，事件不被屏蔽，发生后由系统处理。该位清 0 将屏蔽外设事件，使之不被处理。
2. **SIC 中断状态寄存器(SIC\_ISR):** 由于多个外设可以映射到同一事件，该寄存器允许软件设置哪个外设事件源触发该中断。相应位置 1 表明外设发出了中断，为 0 则表明外设未发出事件。
3. **SIC 中断唤醒使能寄存器(SIC\_IWR):** 通过使能该寄存器中的相应位，当事件发生而处理器处于睡眠(掉电)模式时，可以设置一个外设唤醒处理器。(更多信息，见第 9 页动态功率管理。)

由于多个中断源可以映射到同一个通用中断，因此该中断输入引脚上可能同时出现多个脉冲，这可以发生在对一个已检测到的中断处理之前或之中。IPEND 寄存器的内容由 SIC 监控，以检查中断是否得到确认。

当一个中断上升沿被检测到(检测需要 2 个处理器时钟周期)，ILAT 寄存器的相应位被置 1。当 IPEND 寄存器的任一位置 1 时，该位被清 0。IPEND 的这位表示该事件已进入处理器流水线。此时，CEC 将在下一个事件到来时识别其上升沿，并将这一事件排入队列。从通用中断的上升沿到 IPEND 寄存器的输出置 1，最小的延迟为 3 个处理器时钟周期；然而，由于内部的活动和处理器的状态不同，延迟可能更长。

### DMA 控制器

ADSP-BF53x 处理器有多个独立的 DMA 控制器，能够以最小的 DSP 内核开销完成自动的数据传输。DMA 传输可以发生在 ADSP-BF53x 处理器的内部存储器和任一有 DMA 能力的外设之间。此外，DMA 传输也可以在任一有 DMA 能力的外设和已连接到外部存储器接口的外部设备之间完成(包括 SDRAM 控制器、异步存储器控制器)。有 DMA 传输能力的外设包括 SPORT、SPI 端口、UART 和 PPI 端口。每个独立的有 DMA 能力的外设至少有一个专用 DMA 通道。

ADSP-BF53x 处理器 DMA 控制器能够支持一维(1D)或二维(2D) DMA 传输。DMA 传输的初始化可以由寄存器或名为描述子块的参数来实现。

二维 DMA 支持任意的行列数量，最大可达 64K 乘 64K 单位，支持任意数量的行列的步进，最大可达 +/-32K 单位。而且，列步进的值可以小于行步进的，这就允许实现隔行扫描的数据流。这个特性对于视频应用非常有用，可以实时进行数据的反隔行存储。

ADSP-BF53x 处理器 DMA 控制器支持的典型的 DMA 操作包括：

1. 单一的、传输完成时停止的线性缓冲区

2. 自动刷新的环形缓冲区, 当每一个或部分缓冲区满时中断
3. 一维或二维 DMA, 使用描述子链表
4. 二维 DMA, 使用一个描述子阵列, 仅指定公共页内的基 DMA 地址

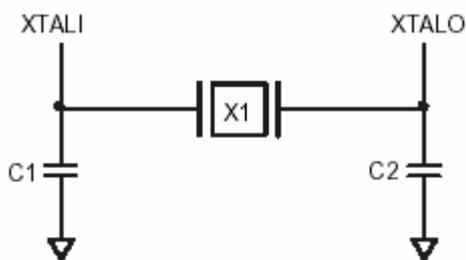
除专用外设的 DMA 通道以外, 在 ADSP-BF53x 处理器的不同存储器之间有两个存储器 DMA 通道。这使得任意的存储器(包括外部 SDRAM、ROM、SRAM 和 FLASH)之间的数据块传输成为可能, 并使处理器干预降到最小。存储器 DMA 传输可以通过一套非常灵活的基于描述子的方法或标准的基于寄存器的自动缓冲机制来控制。

### 实时时钟

ADSP-BF53x 处理器的实时时钟(RTC)提供了一个具有当前时间、跑表和报警等功能的稳定的数字表。该 RTC 的时钟采用 ADSP-BF53x 处理器外部的 32.768KHz 晶振。RTC 有专用的电源引脚, 以使得当处理器其它部分处于低功耗状态时 RTC 仍然保持供电和时钟。RTC 提供了数个可编程的中断选择包括以日、时、分、秒计数中断, 可编程跑表倒数计数中断, 或者已编程的警报时钟中断。

32.768KHz 的输入时钟频率通过分频器成为 1Hz 信号。具有计数功能的定时器包括 4 个计数器: 一个 60 秒的计数器、一个 60 分的计数器、一个 24 小时计数器和一个 32768 天的计数器。

报警功能启动后, 当定时器的输出和报警控制寄存器中给定值相等时, 报警功能会产生一个中断。报警分为两类: 第一类是时间报警; 第二类是日期加时间报警。



推荐元件:

ECLIPTEK EC38J (通孔封装)

EPSON MC-405 12pF LOAD (表贴封装)

C1=22pF; C2=22pF; R1=10M $\Omega$

注意: C1 与 C2 专用于推荐的晶振 X1 联系晶振制造商索取 C1 和 C2 的详细资料规格假定板上线路容值为 3pF

图 3. RTC 的外部元件

跑表功能从一个已编程的值计数, 分辨率为 1 秒钟。当跑表功能启动且计数器下溢出时, 便产生中断。

同其它外设一样, RTC 能在产生任何中断之前把 ADSP-21532 处理器从低功耗状态唤醒。

用外部元件连接 RTC 的引脚 XTALI 和 XTALO, 如图 3 所示。

### “看门狗”定时器

ADSP-BF53x 处理器包含一个 32 位定时器, 可用于执行软件的“看门狗”功能。软件“看门狗”可以提高系统的可靠性, 如果在软件复位前定时器溢出, 软件“看门狗”通过产生一个硬件复位、不可屏蔽中断(NMI)或通用中断来强迫处理器进入一个已知状态。程序员初始化定时器计数值, 使能相应的中断, 然后启动定时器。随后, 软件必须在计数器从给定值计数到 0 前重新装载计数器。这样防止系统停留在未知状态。在未知状态下, 软件由于外部噪声或者软件错误等停止运行后, 通常将定时器复位。

ADSP-BF53x 处理器如果设置硬件复位, “看门狗”定时器可以复位 CPU 和 ADSP-21532 外设。复位后, 软件可以通过查询定时控制寄存器的一个状态位来确定“看门狗”是否为硬件复位的来源。

定时器的时钟采用系统时钟(SCLK), 以最高频率  $f_{SCLK}$  运行。

### 定时器

ADSP-BF53x 处理器有 4 通用个可编程定时器。3 个定时器连有外部引脚, 可以用作脉冲宽度调制器(PWM)或定时器输出, 也可以用作定时器的输入时钟或测量外部事件的脉冲宽度周期的输入。这些定时器可对一个输入 PF1 引脚的外部时钟, 输入 PPI\_CLK 引脚的外部时钟或对内 SCLK 同步。

定时器单元可以与 UART 联合使用, 进行串行通道数据流的脉冲宽度的测量, 提供自动的波特率检测功能。

定时器能够向处理器内核发出中断, 为同步、处理器时钟、或外部信号的计数值提供周期性事件。

除 3 个通用可编程定时器外, 还提供了第 4 个定时器。这个额外的定时器由内部处理器时钟(CCLK)驱动, 一般用作系统标记时钟, 用以产生操作系统的周期性中断。

### 串行口(SPORT)

ADSP-BF53x 处理器提供 2 个双通道同步串行端口(SPORT0 和 SPORT1)来完成串行和多处理器的通信工作。SPORT 有以下特点:

1. 支持 I<sup>2</sup>S 功能。
2. 双向操作: 每个 SPORT 都有 2 套独立的发送和接收引脚, 支持 I<sup>2</sup>S 立体声 8 通道。
3. 缓冲的(8-deep)发送和接收端口: 每个端口都有一个数据寄存器, 用以同其它 DSP 部件间进行双向数据传输; 多个移位寄存器用于数据寄存器内数据的移入和移出。
4. 时钟: 每个发送或接收端口或者使用外部串行时钟, 或者使用自己产生的频率范围为 ( $f_{SCLK}/131,070$ ) Hz 到 ( $f_{SCLK}/2$ ) Hz 的时钟。

5. 字长: 每个 SPORT 都支持 3 到 32 位长度的串行数据字, 以最高有效位在前或最低有效位在前的格式传送。
6. 帧: 每个发送和接收端口在无论每个数据字有无帧同步信号的情况下都能运行。帧同步信号能够从内部或者外部产生, 可以高有效或低有效, 要求 2 个脉冲宽度, 可以前或后帧同步。
7. 硬件压扩: 每个 SPORT 都能根据 ITU 推荐的 G.711 标准完成 A 律和  $\mu$  律压扩。对 SPORT 的发送和/或接收通道都能进行压扩, 而且没有额外的延迟。
8. 单时钟周期开销的 DMA 操作: 每个 SPORT 都可以自动发送和接收多个缓冲区的数据信息。DSP 能够链接或串接 SPORT 和存储器之间的多个 DMA 序列。
9. 中断: 完成数据传输或者传输整个数据缓冲区或通过 DMA 缓冲之后, 每个发送和接收端口都能产生一个中断。
10. 多通道能力: 每个 SPORT 支持 1024 个通道窗中的 128 个通道, 并兼容 H.100、H.110、MVIP-90 和 HMVIP 标准。

#### 串行外设接口(SPI)

ADSP-BF53x 处理器有 1 个 SPI 兼容的端口, 能够使控制器与多个 SPI 兼容的设备通信。

SPI 接口使用 3 个引脚传输数据: 2 个数据引脚(主输入-从输入 MOSI 和主输入-从输出 MISO) 和 1 个时钟引脚(串行时钟 SCK); 1 个 SPI 片选输入引脚 ( $\overline{\text{SPISS}}$ ) 可使其它 SPI 设备选择处理器; 7 个 SPI 片选输出引脚 ( $\overline{\text{SPISEL7-1}}$ ) 使处理器能够选择其它 SPI 设备。这些 SPI 引脚也可以被重新配置为可编程标志引脚。通过这些引脚, SPI 端口提供了全双工的同步串行接口, 支持主从模式和多主环境。

此 SPI 的波特率和时钟的相位/极性都是可编程的(见图 6), 而且都集成有一个 DMA 控制器, 可配置为发送或接收数据流。SPI 的 DMA 控制器在任意给定时间, 只能进行单向访问。

$$\text{SPI 时钟率} = \frac{f_{\text{SCLK}}}{2 \times \text{SPIBAUD}}$$

图 4. SPI 时钟率计算

在传输过程中, SPI 端口在 2 个串行数据线上通过移入和移出数据, 同时完成发送和接收工作。串行时钟线使 2 条串行数据线上的数据移位和采样同步。

#### UART 端口

ADSP-BF53x 处理器提供 1 个全双工的通用异步接收/发送(UART)端口, 它与 PC 标准的 UART 完全兼容。UART 端口为其它外设或主机提供了一个简化的 UART 接口, 支持全双工、有 DMA 能力的异步串行数据传输。UART 端

口支持 5 至 8 个数据位、1 或 2 个停止位以及无校验、奇校验、偶校验位。UART 端口支持以下 2 种模式的操作:

1. PIO (已编程 I/O): 处理器通过读/写 I/O 映射的 UATX 寄存器, 发送或接收数据。在发送和接收时, 数据都是双缓冲的。
2. DMA (直接存储器访问): DMA 控制器传输发送和接收数据。这就减少了与存储器传输数据所需的中断的数量和频率。每个 UART 都有 2 个专用的 DMA 通道, 一个用于发送, 一个用于接收。这些 DMA 通道的默认优先级低于大多数 DMA 通道, 因为其使用率相对较低。

UART 端口的波特率(见图 7)、串行数据格式、错误代码的产生和状态、及中断均可编程:

1. 支持位速率每秒从 ( $f_{\text{SCLK}}/1,048,576$ ) 到 ( $f_{\text{SCLK}}/16$ ) 位。
2. 支持每帧 7 至 12 位的数据格式。
3. 发送和接收操作都可被配置为对处理器能产生可屏蔽中断。

$$\text{UART 时钟频率} = \frac{f_{\text{SCLK}}}{16 \times D}$$

图 5. UART 时钟频率计算

这里 D=1 到 65536

与通用定时器联合使用可进行自动波特率检测。

UART 的功能被进一步扩展, 能支持红外数据协会 (IrDA) 的串行红外物理层连接规范 (SIR) 协议。

#### 可编程标志 (PFX)

ADSP-BF53x 处理器有 16 个双向的通用可编程 I/O 引脚 (PF15-0)。每一个可编程引脚都能通过操作下面的标志控制寄存器、标志状态寄存器和标志中断寄存器被独立控制:

1. 标志方向控制寄存器—规定每个独立的 PFx 引脚的方向, 用作输入或输出。
2. 标志控制和状态寄存器—ADSP-21532 使用一种“写 1 修改”的机制, 能够在不影响其它标志的情况下, 一个处理器周期内完成对这些标志进行任意组合地修改。4 个控制寄存器用于此工作, 一个用来设置标志, 一个用来清除标志, 一个用来切换标志, 一个用来指定标志。通过软件读标志状态寄存器, 可以查看标志的状态。
3. 标志中断屏蔽寄存器—2 个标志中断屏蔽寄存器允许每个独立的 PFx 引脚为处理器提供中断。与用于设置和清除标志的 2 个标志控制寄存器类似, 一个标志屏蔽寄存器通过设置相应的位来使能中断功能, 另一个

标志屏蔽寄存器通过清除相应的位来禁止中断功能。PFx 引脚定义为输入时，能够设置为产生硬件中断；定义为输出时，能够设置被软件中断触发。

- 标志中断敏感寄存器—2 个标志中断敏感寄存器用于规定每个 PFx 引脚是电平还是边沿敏感，如果是边沿敏感，还规定是仅上升沿敏感，还是信号的上升沿和下降沿都敏感。一个寄存器选择敏感类型，另一个寄存器选择边沿敏感的敏感边沿。

### 并行外设接口

ADSP-BF53x 处理器提供可直接与并行 A/D 和 D/A 转换器、视频编码和解码器以及其它通用外设连接的并行接口 (PPI)。PPI 包括一个专用时钟引脚，多达 3 个帧同步引脚和多达 16 个数据引脚。输入时钟支持 fsCLK/2 MHz 的并行数据传输率，同步信号可以被配置为输入或输出。

PPI 支持各种通用模式和 ITU-R656 模式操作。在通用模式下，PPI 提供多达 16 位数据的半双工、双向数据传输，并且提供了多达 3 个帧同步信号。在 ITU-R656 模式下，PPI 提供 8 或 10 位视频数据的半双工、双向传输。此外，片内还支持行启动和场启动同步包的解码。

### 通用模式描述

PPI 的通用模式可应用于各种数据采集和数据传输的场合，该模式支持 3 种不同的子模式：

- 输入模式：帧同步和数据输入到 PPI。
- 帧捕获模式：帧同步从 PPI 输出，但数据输入到 PPI。
- 输出模式：帧同步和数据从 PPI 输出。

### 输入模式

输入模式适于 ADC 应用和带硬件握手的视频通讯。提供多达 16 位数据的半双工、双向数据传输，并且提供了多达 3 个帧同步信号。在 ITU-R656 模式下，PPI 提供 8 或 10 位视频数据的半双工、双向传输。此外，片内还支持行启动和场启动同步包的解码。

### 帧捕获模式

该模式允许将视频源用作帧捕获的从设备。ADSP-BF53x 处理器控制何时从视频源读取数据。PPI\_FS1 为 HSYNC 输出信号，PPI\_FS2 为 VSYNC 输出信号。

### 输出模式

输出模式用于发送视频或其它数据，提供多达 3 个输出帧同步信号。典型的数据转换应用使用单一的帧同步，而 2 个或 3 个帧同步可以被用于使用硬件握手完成发送数据。

### ITU-R656 模式描述

PPI 的 ITU-R656 模式适用于各种视频捕获、处理和传输应用，该模式支持 3 种子模式：

- 活动视频模式
- 垂直消隐模式

### 3. 整场模式

#### 活动视频模式

该模式用于整场中感兴趣的活动视频部分。PPI 不会读入在活动视频结束 (EAV) 和活动视频启动 (SAV) 同步符号间的任何数据，也不读入消隐期间的任何数据。该模式下，控制字节序列不存入存储器，直接被 PPI 过滤。同步信息到 Field 1 后，PPI 将忽略到来的数据，直到检索到 SAV 码。用户可以规定每帧活动视频的行数 (在 PPI\_Count 寄存器中)。

#### 垂直消隐期模式

此模式下，PPI 仅传输垂直消隐期间 (VBI) 的数据。

#### 整场模式

整场模式下，PPI 读入到来的全部数据流，包括活动视频、同步控制序列及水平和垂直消隐期间的辅助数据。同步信息到 Field 1 后，数据传输立即启动。

#### 动态功率管理

ADSP-BF53x 处理器提供 4 种运行模式，每种模式有不同的性能/功耗特性。此外，动态功率管理有动态地改变处理器内核供电电压的控制功能，进一步降低功耗。控制每一个 ADSP-BF53x 处理器外设的时钟也能降低功耗。表 4 概要列出了每种模式下的功率设置。

#### 全速运行模式—最高性能

在全速模式下，PLL 被使能，且不被旁路，因此提供最高运行频率。这是上电默认执行状态，此时可获得最高性能。处理器内核和所有使能的外设都以全速运行。

#### 活动运行模式—中等功率节省

在此模式下，PLL 被使能，但被旁路。因为 PLL 被旁路，处理器内核时钟 (CCLK) 和系统时钟 (SCLK) 运行于输入时钟 (CLKIN) 频率下。在此模式下，CLKIN 到 CCLK 倍频可变，直到进入全速运行模式。通过适当地配置 LI 存储器，可以进行 DMA 访问。

在活动运行模式下，通过 PLL 控制寄存器 (PLL\_CTL) 禁止 PLL 是可能的。如果被禁止，在转换到全速或休眠模式前必须被使能。

表 4. 功率设置

模式	PLL	PLL 旁路	内核时钟 (CCLK)	系统时钟 (SCLK)
全速	使能	否	使能	使能
活动	使能/禁用	是	使能	使能
休眠	使能	-	禁用	使能
深度休眠	禁用	-	禁用	禁用

#### 休眠运行模式-高功率节省

休眠运行模式通过关闭处理器内核 (CCLK) 的时钟来降低功耗，然而 PLL 和系统时钟 (SCLK) 仍在运行。一

般通过外部事件或RTC活动来唤醒处理器。此模式下唤醒的出现将会使处理器检查PLL控制寄存器(PLL\_CTL)中旁路位(BYPASS)的值。如果旁路位被关闭,处理器将切换到全速运行模式。如果旁路位使能,处理器将切换到活动运行模式。

休眠模式时,系统DMA不支持对L1存储器的访问。

### 深度休眠运行模式—最大功率节省

通过关闭处理器内核(CCLK)和所有同步外设(SCLK)的时钟,深度休眠运行模式将获得最大的功率节省。异步外设,如RTC,可能仍运行但不能访问内部资源或外部存储器。这种掉电模式只能通过复位中断(RESET)或由RTC产生的异步中断退出。此模式下RESET有效时,或RTC产生的异步中断有效时,处理器将切换到全速运行模式。

### 功率节省

如第9页表4所示,ADSP-21535支持3种不同的电源范围。使用多个电源范围在与工业标准和惯例兼容的同时,可获得最大的灵活性。通过将ADSP-21535内部逻辑隔离为独立的电源,同RTC和其它I/O分离,处理器能够使用动态功率管理,而不影响RTC或其它I/O设备。

处理器的功耗主要是处理器时钟和工作电压的平方的函数。例如,降低25%的时钟频率就能降低25%的功耗,而降低25%的电压可以降低40%以上的功耗。此外,这些功率节省是加性的,如果时钟频率和电源都降低,功耗将会更显著地降低。

表5. 电源范围

电源范围	VDD范围
除RTC所有内部逻辑	V <sub>DDINT</sub>
RTC内部逻辑和晶体I/O	V <sub>DDRTC</sub>
所有其它I/O	V <sub>DDEXT</sub>

ADSP\_BF53x 处理器动态功率管理允许处理器的输入电压(V<sub>DDINT</sub>)和时钟频率(f<sub>CLK</sub>)动态可控。

如上所述,功耗节省可用下面的模型:

功率节省因子=

$$\frac{f_{CCLKRED}}{f_{CCLKNOM}} \times \left(\frac{V_{DDINTRED}}{V_{DDINTNOM}}\right)^2 \times \left(\frac{T_{RED}}{T_{NOM}}\right)$$

%功率节省 = (1 - 功率节省因子) × 100%

方程中

f<sub>CCLKNOM</sub>是标称内核时钟频率

f<sub>CCLKRED</sub>是降低的内核时钟频率

V<sub>DDINTNOM</sub>是标称内部供给电压

V<sub>DDINTRED</sub>是降低的内部供给电压

### 电压调节

ADSP\_BF53x 处理器提供一个片上调压器,它可以由外部2.25V到3.6V的供电电压产生内部电压(0.7V到1.2V)。完成电源管理典型的外部元件要求如图8所示。这个调压器控制内部逻辑电压,并且通过对调压控制寄存器(VR\_CTL)编程,能够获得50mV增量的电压。调压器可由用户决定被禁止或旁路。

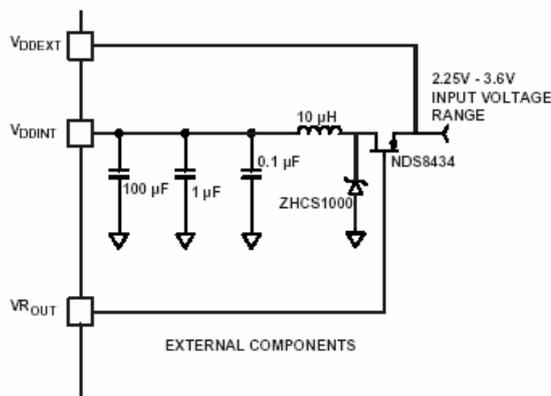


图8. 电压调节电路

### 时钟信号

ADSP\_BF53x 处理器使用来自外部晶振的正弦输入,或经过缓冲整形的外部时钟。

如果使用外部时钟,该时钟信号应是TTL兼容信号,而且正常运行时,此时钟不能停止、改变、或低于指定的频率。此外部时钟应连到DSP的CLKIN引脚,且XTAL引脚必须悬空。

还有一种可供选择的方法,由于ADSP\_BF53x处理器有片内振荡电路,所以外部晶振也可以使用。外部晶振应当连接到CLKIN和XTAL引脚,并与两个电容相连,如图9所示。电容值取决于晶振的类型,应当由晶振厂商提供。此处应当使用并联谐振、基因频率、微处理器级的晶振。

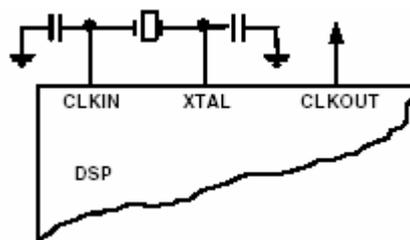


图9. 外部晶振连接

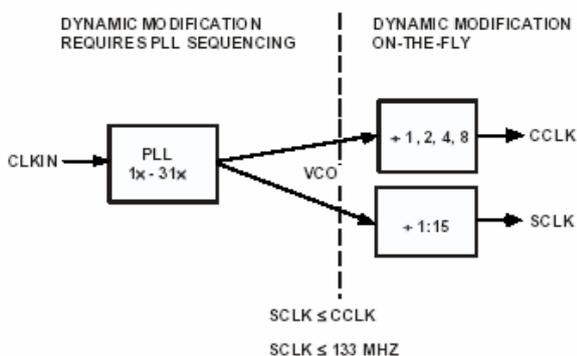


图10. 频率转换模式

如图10所示，内核时钟（CCLK）和系统外设时钟（SCLK）可由输入时钟（CLKIN）信号获得。用户编程1x到63x的倍频因子，可使片上PLL倍频CLKIN信号。默认的倍数为10x，但可以通过软件指令改变。简单地写PLL\_DIV寄存器可以改变运行频率。

所有片上外设都以设定好的系统时钟（SCLK）速度运行。此系统时钟频率可通过PLL\_DIV寄存器的SSEL3-0位的值编程。SSEL的编程值规定了PLL输出（VCO）和系统时钟的分频比率。SCLK分频值为1到15，表6给出了典型的系统时钟比率。

表6. 系统时钟比率示例

信号名称 SSEL3-0	分频比率 VCO/ SCLK	频率比率示例 (MHz)	
		VCO	SCLK
0001	1:1	100	100
0110	6:1	300	50
1010	10:1	300	50

系统时钟最高频率是  $f_{SCLK}$ 。注意分频比率必须选择，使之能将系统时钟频率限制到最大值  $f_{SCLK}$ 。SSEL的值可以通过写PLL分频寄存器（PLL\_DIV）来动态改变，没有任何PLL锁定延时。

通过设置PLL\_DIV寄存器CSEL[1-0]位的值，也能动态地改变内核时钟（CCLK）频率。如表7所示，CCLK分频比率可以是1, 2, 4和8。可编程的内核时钟频率对快速的内核时钟频率修改非常有用。

表7. 内核时钟频率

信号名称 CSEL[1-0]	分频比率 VCO/ SCLK	频率比率示例 (MHz)	
		VCO	CCLK
00	1:1	300	300
01	2:1	300	150
10	4:1	500	125
11	8:1	200	25

### 引导模式

复位后，ADSP\_BF53x处理器有三种机制（表7中列出）

自动载入内部L1指令存储器的程序。第四种模式从外部存储器执行，绕过引导程序。

表8. 引导模式

BMODE2-0	说明
00	从外部16位存储器执行（旁路引导ROM）
01	由8位Flash引导
10	由SPI串行ROM引导（8位地址范围）
11	由SPI0串行ROM引导（16位地址范围）

上电复位或软件初始化复位后，处理器采样复位配置寄存器的BMODE脚，执行以下引导模式：

1. 从外部16位存储器执行—从16位紧缩地址0x2000000开始执行，此模式跳过引导ROM。所有的设置参数都适合最慢的设备（3个周期的保持时间；15个周期的R/W访问时间；4个周期的建立时间）。
2. 从外部8位外部Flash存储器引导—位于引导ROM存储空间的8位Flash引导程序通过异步存储器Bank0设置。所有的设置参数都适合最慢的设备（3个周期的保持时间；15个周期的R/W访问时间；4个周期的建立时间）。
3. 从SPI串行EEPROM引导（8位寻址）—SPI用PF2输出引脚选择一个SPI EPROM设备，在地址0x00开始读数据，将之存入L1指令存储器的起始部分。必须使用一个8位寻址的SPI兼容EPROM。
4. 由SPI串行EEPROM引导（16位寻址）—SPI用PF2输出引脚选择一个SPI EPROM设备，从地址0x0000开始读数据，将之存入L1指令存储器的起始部分。必须使用一个16位寻址的SPI兼容EPROM。

无论上述何种引导模式，从外部存储器设备首先要读入一个10个字节的头。这个头指定将被传输的字节数量和存储器的目的地址。多存储器模块可被任何引导顺序装载。一旦所有模块被装载，程序从L1指令SRAM的起始部分开始执行命令。

此外，通过设置复位配置寄存器第4位，应用程序可以使软件复位跳过正常的引导顺序。这样，处理器直接跳到L1指令存储空间的起始部分开始执行。

为扩充上述引导模式，ADSP\_BF53x处理器提供了一个辅助的软件加载器以加入其它的引导功能。辅助的加载器提供的引导能力能够从16位Flash存储器、快速Flash及可变的波特率和其它来源引导。

### 指令集描述

Blackfin DSP系列汇编语言指令集使用易于编程和可读性强的代数语法。采用专门调整的灵活的高密度编码的指令，这些指令被编译后只占用非常小的存储空间。指令集还提供了体现ADSP-21532全部特点的多功能指令，以使在一个指令中能够使用多个处理器内核资源。除许多微

控制器上常见的功能外，指令集编译 C 和 C++ 源代码时效率非常高。此外，指令集还支持用户（算法/应用代码）和管理员（O/S 内核，设备驱动，调试器，ISRs）两种运行模式，允许对 DSP 内核资源的多级访问。

汇编语言采用了处理器独特的体系结构，具有以下优点：

1. 无缝集成 DSP/CPU 特征，对 8 位和 16 位操作进行了优化。
2. 并发加载/存储的改进哈佛体系结构，每个周期支持 2 个 16 位 MAC 或 4 个 8 位 ALU + 2 个加载/存储 + 2 个指针更新。
3. 所有的寄存器、I/O、和存储器被映射成为统一 4GB 存储空间，提供了一个简化编程模式。
4. 微控制器特征，如任意位和位域操作，插入和提取；对 8 位、16 位和 32 位数据类型上的整数操作；独立的用户和管理员堆栈指针。
5. 代码密度增强，包括混合的 16 和 32 位指令（无模式转换和代码分离）。常用指令以 16 位编码。

#### 开发工具

ADI 公司提供一套完整的 ADSP\_BF53x 处理器软硬件开发工具，包括仿真器和 Visual DSP++<sup>TM</sup> 开发环境。仿真器能够对 ADSP\_BF53x 处理器实现全仿真，还支持对其它 ADI 的 JTAG DSPs 芯片的仿真。

利用 Visual DSP++ 项目管理环境，程序员可以开发和调试应用程序。这个环境包括一个基于代数语法的易于使用的汇编器，一个归档器（库和库建立工具），一个链接器，一个加载器，一个精确到时钟周期、指令级的模拟器，一个 C/C++ 编译器和一个包括 DSP 和数学函数的 C/C++ 运行库。这些工具的最重要特点是 C/C++ 代码的有效性。编译器能有效地将 C/C++ 代码转换为 Blackfin DSP 的汇编代码。处理器体系结构的特点也提高了 C/C++ 代码的编译效率。

VisualDSP++ 调试器有些重要的特色。一个可以提供灵活性重要指标的图表程序增强了数据观察功能。这个用户数据的图表显示功能使编程者可以快速地衡量算法的性能。当算法变得复杂的时候，这项功能将更加有用，它可以加快设计者的工程进度，提高工作效率。统计图表工具给予编程者可以在程序运行时，无影响地轮询处理器的能力。这个 VisualDSP++ 独特的特点，使得软件开发人员被动地获得重要的代码执行效率而不需要打断程序的实时特性。基本上，开发人员可以快速有效地确定软件中的瓶颈。通过使用图表工具，编程者可以将注意力集中在程序中影响整体性能的部分并采取正确行动。

用 Visual DSP++ 调试器调试 C/C++ 和汇编程序时，程序员能够：

1. 查看混合的 C/C++ 和汇编代码（混合源代码和目标信息）
2. 插入断点
3. 根据寄存器、存储器和堆栈设置条件断点
4. 跟踪指令执行
5. 对执行的程序进行线性或统计性能分析
6. 对存储器进行 Fill、Dump 和绘图操作
7. 执行源程序级调试
8. 创建用户调试窗口

Visual DSP++ IDE 能够让程序员定义和管理 DSP 软件开发环境。它的对话框和属性页可以让程序员配置和管理所有的开发工具，包括 Visual DSP++ 编辑器里的语法高亮颜色。这些功能允许程序员：

1. 控制开发工具如何处理输入和产生输出
2. 维护与命令行操作一一对应的操作

Visual DSP++ 内核（VDK）提供进度和资源管理功能，能够根据存储器地址和 DSP 程序时序约束进行裁剪，能使工程师在开发新程序时提高编程效率，不用从头写起。VDK 的特征包括线程，Critical 和 Unscheduled region，Semaphores，事件和设备标志。VDK 同时也支持优先级的、抢占的、协作和时间片的方法。此外，VDK 是可裁剪的。如果应用程序不使用某种功能，可以将支持此功能的代码从目标系统中清除。

因为 VDK 是一个库，开发者可以决定是否使用它。VDK 已被集成到了 Visual DSP++ 开发环境中，也可以通过标准的命令行工具使用。当使用 VDK 调试一个程序时，开发环境帮助开发者解决许多易犯的错误同时帮助管理系统资源，自动配置许多 VDK 基础目标的阶段，并可视化系统状态。

VCSE 是 AD 公司用于创建、使用和重复使用的软件组件（有丰富的函数功能的独立模板），用于快速可靠的汇编应用。可以下载这些组件并将它们直接添加到应用中。发布的组件档案都在 VisualDSP++。VCSE 支持的 C/C++ 或汇编的组件支持范围中。

编程者可以通过使用专门的连接器直观地在嵌入式系统上控制代码和数据的布局。可以在一个用色彩标记的图表中轻易地利用鼠标拖动来移动代码和数据到处理器不同的区域或外部存储器中。专用连接器和现有的连接器定义文件（LDF）完全兼容，并允许开发者在文本和图形编辑环境中转换。

Analog Device 公司的 DSP 仿真器使用 IEEE 1149.1 JTAG 测试访问端口，在仿真时监视和控制目标板上的 DSP 处理器。仿真器提供全速仿真，允许查看和修改寄存器、寄存器和处理器堆栈。使用处理器 JTAG 接口可确保进行不干扰处理器运行的电路仿真——仿真器不会影响目标系统的装载和定时。

除Analog Device公司提供软硬件开发工具外，第三方也提供了许多支持Blankfin系列处理器的工具。硬件工具包括Blackfin处理器PC插卡。第三方的软件工具包括DSP库，实时操作系统和块图设计工具等。

### 设计仿真器兼容的 DSP 板（目标）

ADI 公司的系列仿真器是每个系统开发者都需要的测试和调试硬件系统的工具。AD 公司在每个 JTAG 处理器上提供了一个 IEEE 1149.1 JTAG 测试访问端口（TAP）。通过此 TAP，仿真器能够访问处理器的内部，允许开发者装载代码，设置断点，观察变量和存储器，检查寄存器。在发送数据和命令时处理器必须暂停，但当仿真器完成此次操作，处理器系统就可以全速运行，不影响系统的定时时序。

要使用这些仿真器，用户目标板上必须设计有 ADI 的 JTAG DSP 接口和仿真插座。

如果需要目标板的设计版本细节，如布线、信号处理器连接、信号终端和仿真器的逻辑帽，请去 ADI 公司官方网站（www.analog.com），利用搜索器搜索“EE-68”（AD JTAG 仿真技术资料）。这个文档是时时更新的，保持仿真改进的同步支持。

### 管脚定义

ADSP-BF53x系列处理器管脚描述都在表9中列出。为了在保留最全功能的情况下缩小封装并减少管脚数，一些管脚有两个或者多个功能。在使用中，管脚可能需要重新定义，缺省的标准情况用标准字体列出，而可选功能用斜体列出。

**表 9. 引脚描述**

引脚	I/O	功能
<i>存储器接口</i>		
ADDR[9-1]	O	地址总线用于异步/同步访问
DATA[15-0]	I/O	数据总线用于异步/同步访问
$\overline{\text{ABE}}[1-0]$	O	字节使能
$\overline{\text{SDQM}}[1-0]$		/异步/同步访问数据屏蔽
$\overline{\text{BR}}$	I	总线请求
$\overline{\text{BG}}$	O	总线允许
$\overline{\text{BGH}}$	O	总线允许挂起
<i>异步存储器控制</i>		
$\overline{\text{AMS3}}-0$	O	Bank 选择
ARDY	I	硬件准备好控制
$\overline{\text{AOE}}$	O	输出使能
$\overline{\text{ARE}}$	O	读使能

$\overline{\text{AWE}}$	O	写使能
<i>同步存储器控制</i>		
$\overline{\text{SRAS}}$	O	行地址选通
$\overline{\text{SCAS}}$	O	列地址选通
$\overline{\text{SWE}}$	O	写使能
SCKE	O	时钟使能
CLKOUT	O	时钟输出
SA10	O	A10 引脚
$\overline{\text{SMS}}$	O	Bank 选择
<i>定时器</i>		
TMR0	I/O	定时器 0
TMR1/ <i>PPI_FS1</i>	I/O	定时器 1/ <i>PPI 真同步 1</i>
TMR2/ <i>PPI_FS2</i>	I/O	定时器 2/ <i>PPI 真同步 2</i>
<i>并行外设接口/GPIO</i>		
PF0/ $\overline{\text{SPISS}}$	I/O	可编程标志引脚 0 / <i>SPI 从选择输入</i>
PF1 / <i>SPISEL1 /TMRCLK</i>	I/O	可编程标志引脚 1 / <i>SPI 从选择使能 1 /外部定时器参考</i>
PF2 / <i>SPISEL2</i>	I/O	可编程标志引脚 2 / <i>SPI 从选择使能 2</i>
PF3 / <i>SPISEL3 /PPI_FS3</i>	I/O	可编程标志引脚 3/ <i>SPI 从选择使能 3/PPI 真同步 3</i>
PF4 / <i>SPISEL4 /PPI15</i>	I/O	可编程标志引脚 4/ <i>SPI 从选择使能 4/PPI15</i>
PF5 / <i>SPISEL5 /PPI14</i>	I/O	可编程标志引脚 5/ <i>SPI 从选择使能 5/PPI14</i>
PF6 / <i>SPISEL6 /PPI13</i>	I/O	可编程标志引脚 6/ <i>SPI 从选择使能 6/PPI13</i>
PF7 / <i>SPISEL7 /PPI12</i>	I/O	可编程标志引脚 7/ <i>SPI 从选择使能 7/PPI12</i>
PF8 / <i>PPI11</i>	I/O	可编程标志引脚 8/ <i>PPI11</i>
PF9 / <i>PPI10</i>	I/O	可编程标志引脚 9/ <i>PPI10</i>
PF10 / <i>PPI9</i>	I/O	可编程标志引脚 10/ <i>PPI9</i>
PF11 / <i>PPI8</i>	I/O	可编程标志引脚 11/ <i>PPI8</i>
PF12 / <i>PPI7</i>	I/O	可编程标志引脚 12/ <i>PPI7</i>
PF13 / <i>PPI6</i>	I/O	可编程标志引脚 13/ <i>PPI6</i>
PF14 / <i>PPI5</i>	I/O	可编程标志引脚 14/ <i>PPI5</i>
PF15 / <i>PPI4</i>	I/O	可编程标志引脚 15/ <i>PPI4</i>
PPI3-0	I/O	PPI3-0
PPI_CLK	I	PPI 时钟
<i>串行口</i>		
RSCLK0	I/O	Sport0 接收串行时钟
RFS0	I/O	Sport0 接收帧同步
DR0PRI	I	Sport0 接收主数据
DR0SEC	I	Sport0 接收辅数据

# 初步技术数据

2003年3月

**ADSP-BF53x**

TSCLK0	I/O	Sport0 发送串行时钟
TFS0	I/O	Sport0 发送帧同步
DT0PRI	O	Sport0 发送主数据
DT0SEC	O	Sport0 发送辅数据
RSCLK1	I/O	Sport1 接收串行数据
RFS1	I/O	Sport1 接收帧同步
DR1PRI	I	Sport1 接收主数据
DR1SEC	I	Sport1 接收辅数据
TSCLK1	I/O	Sport1 发送串行时钟
TFS1	I/O	Sport1 发送帧同步
DT1PRI	O	Sport1 发送主数据
DT1SEC	O	Sport1 发送辅数据
<i>SPI 端口</i>		
MOSI	I/O	主输出从输入
MISO	I/O	主输入从输出
SCK	I/O	时钟
<i>UART 端口</i>		
RX	I	UART 接收
TX	O	UATR 发送
<i>实时时钟</i>		
RTXI	I	RTC 晶振输入
RTXO	O	RTC 晶振输出
<i>JTAG 端口</i>		

TCK	I	JTAG 时钟
TDO	O	JTAG 串行数据输出
TDI	I	JTAG 串行数据输入
TMS	I	JTAG 模式选择
TRST	I	JTAG 复位
EMU	O	仿真输出
<i>时钟</i>		
CLKIN	I	时钟/晶振输入
XTAL	O	晶振输出
<i>模式控制</i>		
RESET	I	复位
NMI	I	不可屏蔽中断
BMODE1-0	I	引导模式绑定
<i>电压调节</i>		
VROUT	O	外部 FET/BJT 驱动
VREFFLT	I	电压参考滤波器
<i>电源</i>		
V <sub>DDEXT</sub>	P	I/O 电源
V <sub>DDINT</sub>	P	内部电源
V <sub>DDRRTC</sub>	P	实时时钟电源
GND	G	外部地

# 初步技术数据

2003年3月

**ADSP-BF53x**

## ADSP-BF53x —— 技术规格

### 推荐工作条件

参数 <sup>1</sup>	K 级参数	最小	标称	最大	单位
V <sub>DDINT</sub>	内部供电电压	0	2.5 或 3.6	3.6	V
V <sub>DDEXT</sub>	外部供电电压	2.25	2.5 或 3.6	3.6	V
V <sub>DDRTC</sub>	实时时钟电源电压	2.25		3.6	V
V <sub>IH</sub>	高电平输入电压 <sup>2</sup> , @V <sub>DDEXT</sub> =max	2.0		V <sub>DDEXT</sub> +0.5	V
V <sub>IL</sub>	低电平输入电压 <sup>2</sup> , @V <sub>DDEXT</sub> =min	-0.3		0.6	V
T <sub>CASE</sub>	外壳工作温度				
	工业	-40		85	°C
	商用	0		70	°C

<sup>1</sup> 规格如有改动不另行通知。

<sup>2</sup> ADSP-BF53x处理器耐压3.3V（通常最高输入电压可以达到3.6V），但是输出电压取决于V<sub>DDEXT</sub>，这是因为最大V<sub>OH</sub>近似等于V<sub>DDEXT</sub>。这个3.3V的耐压特性适用于双向引脚(DATA15-0, TMR2-0, PF15-0, PPI3-0, RSCLK1-0, TSCLK1-0, RFS1-0, TFS1-0, MOSI, MISO, SCK)和输入引脚入和双向引脚。(BR, ARDY, PPI\_CLK, DR0PRI, DR0SEC, DR1PRI, DR1SEC, RX, RTXI, TCK, TDI, TMS, TRST, CLKIN, RESET, NMI, and BMODE1-0).

### 电气特性

参数 <sup>1</sup>		测试条件	最小	最大	单位
V <sub>OH</sub>	高电平输出电压 <sup>2</sup>	@ V <sub>DDEXT</sub> = 3.0V, I <sub>OH</sub> = -0.5 mA	2.4		V
V <sub>OL</sub>	低电平输出电压 <sup>2</sup>	@ V <sub>DDEXT</sub> = 3.0V, I <sub>OL</sub> = 2.0 mA		0.4	V
I <sub>IH</sub>	高电平输入电流 <sup>3</sup>	@ V <sub>DDEXT</sub> = max, V <sub>IN</sub> = V <sub>DD</sub> max		TBD	μA
I <sub>IL</sub>	低电平输入电流 <sup>4</sup>	@ V <sub>DDEXT</sub> = max, V <sub>IN</sub> = 0 V		TBD	μA
I <sub>OZH</sub>	三态漏电流 <sup>4</sup>	@ V <sub>DDEXT</sub> = max, V <sub>IN</sub> = V <sub>DD</sub> max		TBD	μA
I <sub>OZL</sub>	三态漏电流 <sup>5</sup>	@ V <sub>DDEXT</sub> = max, V <sub>IN</sub> = 0 V		TBD	μA
C <sub>IN</sub>	输入电容 <sup>5,6</sup>	f = 1 MHz, T <sub>CASE</sub> = 25°C, V <sub>IN</sub> = 2.5 V		TBD	pF

<sup>1</sup> 规格如有改动不另行通知。

<sup>2</sup> 适用于输出和双向引脚。

<sup>3</sup> 用于输入引脚。

<sup>4</sup> 用于三态引脚。

<sup>5</sup> 用于所有信号引脚。

<sup>6</sup> 保证但未测试。

# 初步技术数据

2003年3月

**ADSP-BF53x**

## 绝对最大额定值

内部（内核）供电电压<sup>1</sup> ( $V_{DDINT}$ ) ..... -0.3V 到 +1.5V  
 外部（I/O）供电电压<sup>1</sup> ( $V_{DDEXT}$ ) ..... -0.3V 到 +4.0V  
 输入电压<sup>1</sup> ..... -0.5V 到 3.6V  
 输出电压摆动<sup>1</sup> ..... -0.5V 到  $V_{DDEXT}+0.5V$   
 负载电容<sup>1,2</sup> ..... 200 pF  
 内核时钟频率<sup>1</sup>  
     ADSP-BF533 ..... 600MHz  
     ADSP-BF532/BF531 ..... 400MHz  
 外设时钟频率 (SCLK) ..... 133MHz  
 储存温度范围 ..... -65°C 到 150°C  
 管脚温度 (5秒) ..... 185°C

<sup>1</sup> 负荷超过上述值时芯片会受到永久性损坏。以上只是负荷额定值，芯片在超出上述条件下的工作情况没有给出。在最大额定值条件下持续工作可能影响芯片的可靠性。

<sup>2</sup> 对于特定的SDRAM控制器，ADDR, DATA,  $\overline{ABE}/\overline{SDQM}$ , CLKOUT, SCKE, SA10,  $\overline{SRAS}$ ,  $\overline{SCAS}$ ,  $\overline{SWE}$  和  $\overline{SMS}$  最大的负载电容是50pf（工作电压3.3V）或50pf（工作电压2.5V）

## ESD 灵敏度

### 注意

ESD（静电放电）灵敏器件。静电容易在人体或测试设备上积累高达 4000V 且放电不宜察觉。虽然 ADSP-21532 有 ESD 保护电路，但当芯片受到高能静电放电时可能会受到永久性破坏。因此，建议采用适当的 ESD 保护措施，以防止芯片性能降低和功能损失。



## 时序规格

表10和表12描述了ADSP-BF53x处理器的时钟时序要求。就象在*绝对最高频率*中所描述的，在选择MSEL、SSEL和CSEL频率的时候要小心不要超过内核时钟、系统时钟和压控晶振（VCO）工作的最高频率。表12描述了锁相环工作的情况。

**表10.内核和系统时钟要求-ADSP-BF533**

参数		最小	最大	单位
$t_{CCLK1.2}$	处理器周期时间 ( $V_{DDINT}=1.2V-5\%$ )	1.67		ns
$t_{CCLK1.1}$	处理器周期时间 ( $V_{DDINT}=1.1V-5\%$ )	TBD		ns
$t_{CCLK1.0}$	处理器周期时间 ( $V_{DDINT}=1.0V-5\%$ )	TBD		ns
$t_{CCLK0.9}$	处理器周期时间 ( $V_{DDINT}=0.9V-5\%$ )	TBD		ns
$t_{CCLK0.8}$	处理器周期时间 ( $V_{DDINT}=0.8V-5\%$ )	TBD		ns
$t_{CCLK0.7}$	处理器周期时间 ( $V_{DDINT}=0.7V-5\%$ )	TBD		ns
$t_{SCLK}$	系统时钟周期		最大为7.5或者是 $t_{CCLKNN}$	ns

**表11.内核和系统时钟要求-ADSP-BF532/531**

参数		最小	最大	单位
$t_{CCLK1.2}$	处理器周期时间 ( $V_{DDINT}=1.2V-5\%$ )	2.5		ns
$t_{CCLK1.1}$	处理器周期时间 ( $V_{DDINT}=1.1V-5\%$ )	TBD		ns
$t_{CCLK1.0}$	处理器周期时间 ( $V_{DDINT}=1.0V-5\%$ )	TBD		ns
$t_{CCLK0.9}$	处理器周期时间 ( $V_{DDINT}=0.9V-5\%$ )	TBD		ns
$t_{CCLK0.8}$	处理器周期时间 ( $V_{DDINT}=0.8V-5\%$ )	TBD		ns

# 初步技术数据

2003年3月

**ADSP-BF53x**

$t_{CCLK0.7}$	处理器周期时间 ( $V_{DDINT}=0.7V-5\%$ )	TBD		ns
$t_{SCLK}$	系统时钟周期		最大为7.5或者是 $t_{CCLKNN}$	ns

**表12锁相环工作情况**

参数	最小	最大	单位
压控晶振 (VCO) 震荡频率	50	CCLK最大值	MHZ

### 时钟和复位时序

表 13 和图 11 描述了时钟和复位操作。16 页有每一个最大额定值，CLKIN 和时钟倍频器不能选择超过 300/133MHz 内核/外设时钟。

**表 13. 时钟和复位时序**

参数		最小	最大	单位
<i>时序要求</i>				
$t_{CKIN}$	CLKIN 周期	30.0	100.0	ns
$t_{CKINL}$	CLKIN 脉冲低电平 <sup>1</sup>	10.0		ns
$t_{CKINH}$	CLKIN 脉冲高电平 <sup>1</sup>	10.0		ns
$t_{WRST}$	$\overline{RESET}$ 有效低电平脉宽 <sup>2</sup>	$11t_{CKIN}$		ns
<i>开关特性</i>				
$t_{SCLK}$	CLKOUT 周期 <sup>3</sup>	7.5		ns

<sup>1</sup>用于旁路模式和非旁路模式。

<sup>2</sup>用于上电顺序已完成情况。在上电时且当复位有效，处理器内部锁相环需要不超过 2000 个 CLKIN 周期，假定稳定的电源供给和 CLKIN（不包括外部时钟振荡器的启动时间）。

<sup>3</sup>下图按在  $t_{CKIN}$  和  $t_{SCLK}$  之间的  $\times 2$  比率显示，但比率可以有编程的选择。参照 *ADSP-BF53x 处理器 Hardware Reference*。

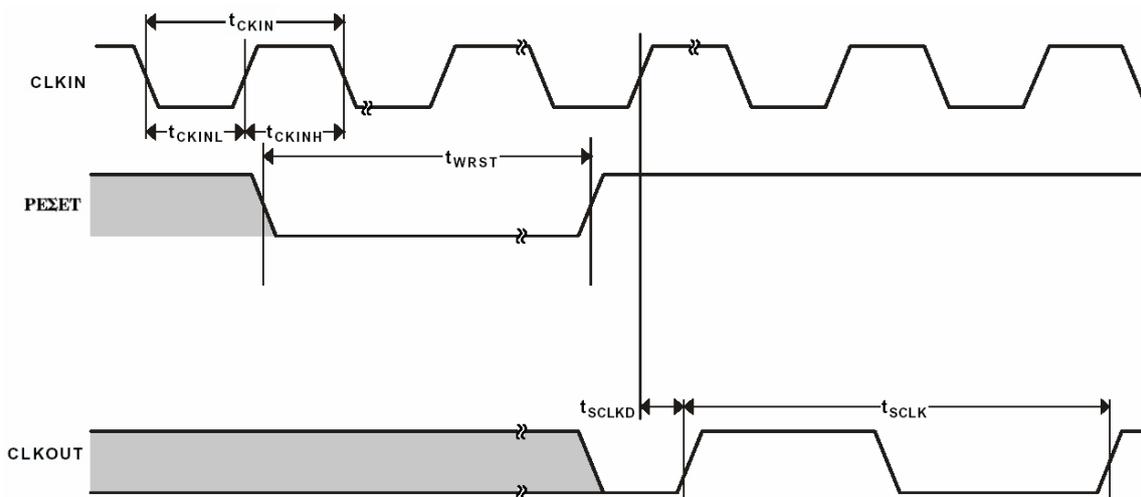


图 11. 时钟和复位时序

异步存储器读周期时序

表 14. 异步存储器读周期时序

参数		最小	最大	单位
<i>时序要求</i>				
$t_{SDAT}$	CLKOUT 前 DATA15-0 建立	2.1		ns
$t_{HDAT}$	CLKOUT 后 DATA15-0 保持	0.8		ns
$t_{SARDY}$	CLKOUT 前 ARDY 建立	5.5		ns
$t_{HARDY}$	CLKOUT 后 ARDY 保持	0.0		ns
<i>开关特性</i>				
$t_{DO}$	CLKOUT 后输出延迟 <sup>1</sup>		6.0	ns
$t_{HO}$	CLKOUT 后输出保持 <sup>1</sup>	0.8		ns

<sup>1</sup> 输出引脚包括 AMS3-0, ABE1-0, ADDR19-1, AOE, ARE。

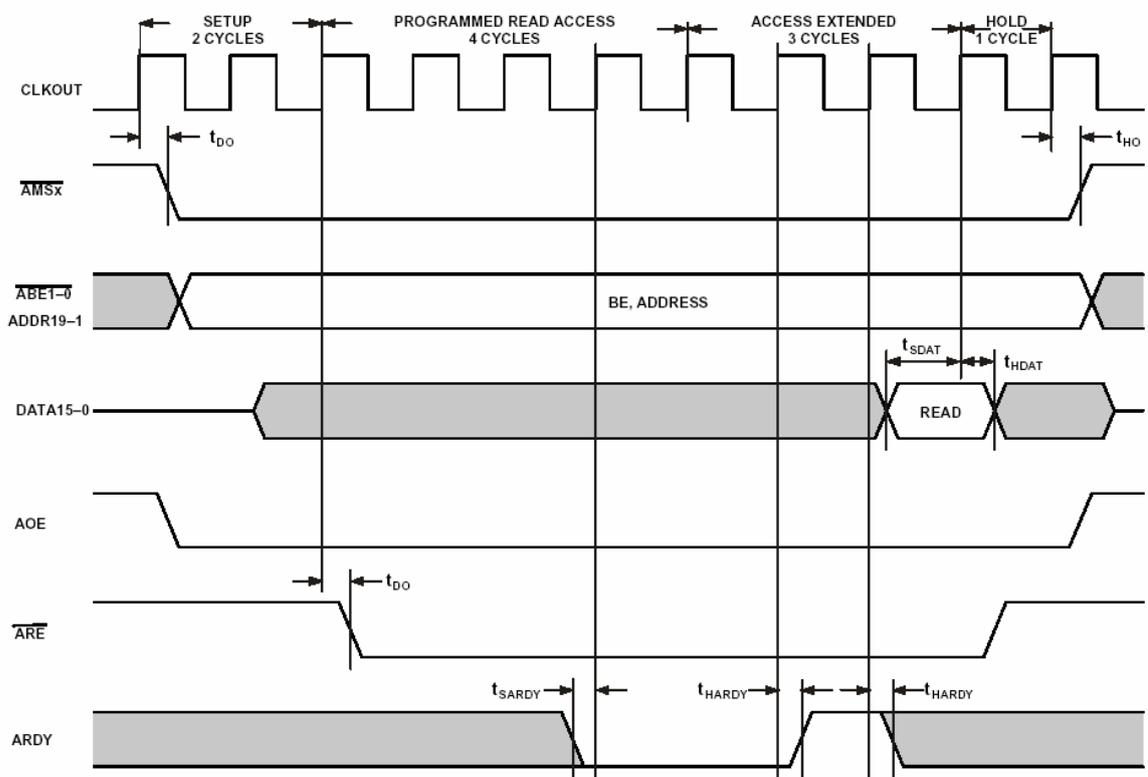


图 12. 异步存储器读周期时序

异步存储器写周期时序

表 15. 异步存储器写周期时序

参数		最小	最大	单位
<i>时序要求</i>				
$t_{SARDY}$	CLKOUT 前 ARDY 建立	5.5		ns
$t_{HARDY}$	CLKOUT 后 ARDY 保持	0.0		ns
$t_{DDAT}$	CLKOUT 后 DATA15-0 禁止		6.0	ns
$t_{ENDAT}$	CLKOUT 后 DATA15-0 使能	1.0		ns
<i>开关特性</i>				
$t_{DO}$	CLKOUT 后输出延迟 <sup>1</sup>		6.0	ns
$t_{HO}$	CLKOUT 后输出保持 <sup>1</sup>	0.8		ns

<sup>1</sup>输出引脚包括 AMS3-0, ABE1-0, ADDR19-1, DATA15-0, AOE, AWE。

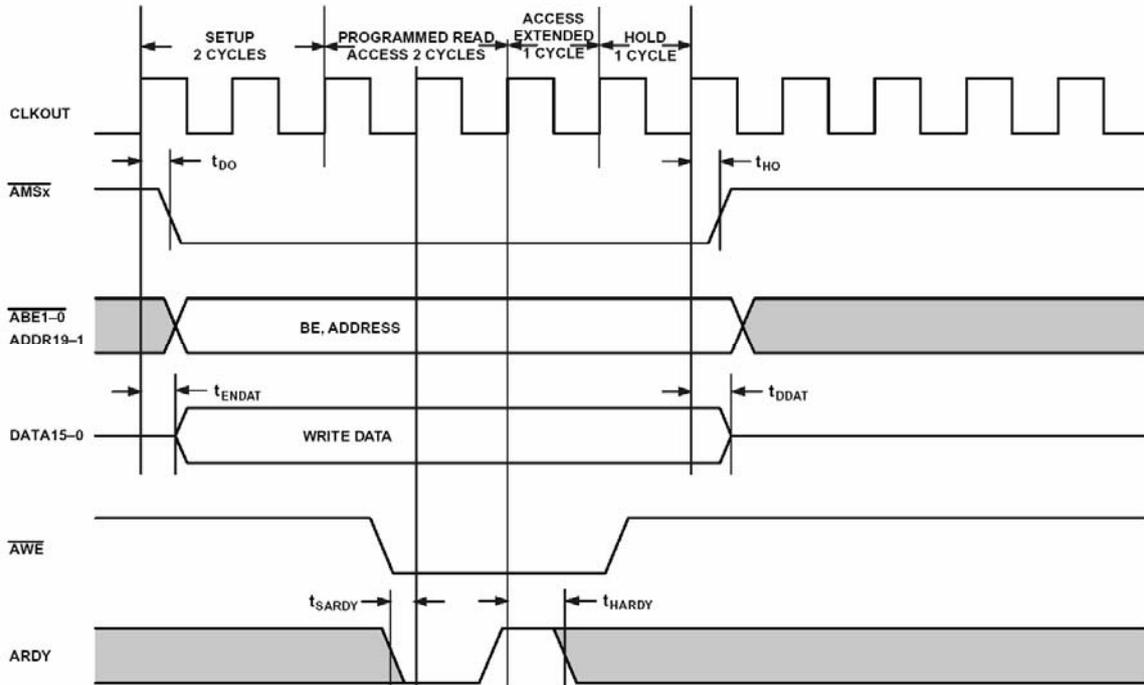


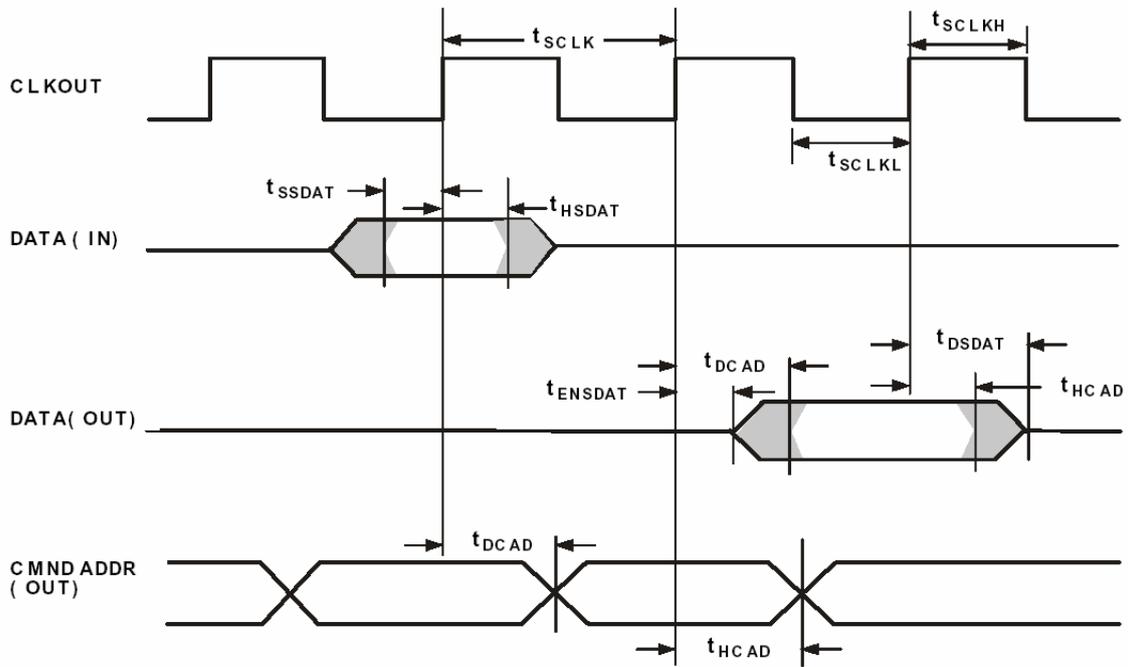
图 13. 异步存储器写周期时序

SDRAM 接口时序

表 16. SDRAM 接口时序

参数		最小	最大	单位
<i>时序要求</i>				
$t_{SSDAT}$	CLKOUT 前 DATA 建立	2.1		ns
$t_{HSDAT}$	CLKOUT 后 DATA 保持	0.8		ns
<i>开关特性</i>				
$t_{SCLK}$	CLKOUT 周期	7.5		ns
$t_{SCLKH}$	CLKOUT 高电平宽度	2.5		ns
$t_{SCLKL}$	CLKOUT 低电平宽度	2.5		ns
$t_{DCAD}$	CLKOUT 后命令、地址和数据延迟 <sup>1</sup>		6.0	ns
$t_{HCAD}$	CLKOUT 后命令、地址和数据保持 <sup>1</sup>	0.8		ns
$t_{DSDAT}$	CLKOUT 后数据禁止		6.0	ns
$t_{ENSDAT}$	CLKOUT 后数据使能	1.0		ns

<sup>1</sup>命令引脚包括:  $\overline{SRAS}$ ,  $\overline{SCAS}$ ,  $\overline{SWE}$ ,  $\overline{SDQM}$ ,  $\overline{SMS}$ , SA10,  $\overline{SCKE}$ 。



NOTE: COMMAND =  $\overline{SRAS}$ ,  $\overline{SCAS}$ ,  $\overline{SWE}$ ,  $\overline{SDQM}$ ,  $\overline{SMS}$ , SA10,  $\overline{SCKE}$ .

图 14. SDRAM 接口时序

外部端口总线请求和许可周期时序

表 17 和图 15 描述了外部端口总线请求和总线许可操作。

表 17. 外部端口总线请求和许可周期时序

参数 <sup>1,2</sup>		最小	最大	单位
<i>时序要求</i>				
$t_{BS}$	$\overline{BR}$ 使 CLKOUT 高建立	4.6		ns
$t_{BH}$	CLKOUT 高到 $\overline{BR}$ 保持时间	0.0		ns
<i>开关特性</i>				
$t_{SD}$	CLKOUT 高到 $\overline{xMS}$ 、地址和 $\overline{RD}/\overline{WR}$ 禁止		4.3	ns
$t_{SE}$	CLKOUT 低到 $\overline{xMS}$ 、地址和 $\overline{RD}/\overline{WR}$ 使能		4.0	ns
$t_{DBG}$	CLKOUT 高到 $\overline{BG}$ 有效建立		2.2	ns
$t_{EBG}$	CLKOUT 高到 $\overline{BG}$ 无效保持时间		2.2	ns
$t_{DBH}$	CLKOUT 高到 $\overline{BGH}$ 有效建立		2.4	ns
$t_{EBH}$	CLKOUT 高到 $\overline{BGH}$ 无效保持时间		2.4	ns

<sup>1</sup> 这是基于操作条件最坏情况的初步时序参数。

<sup>2</sup> 这些时序参数的焊盘负载是 20pF。

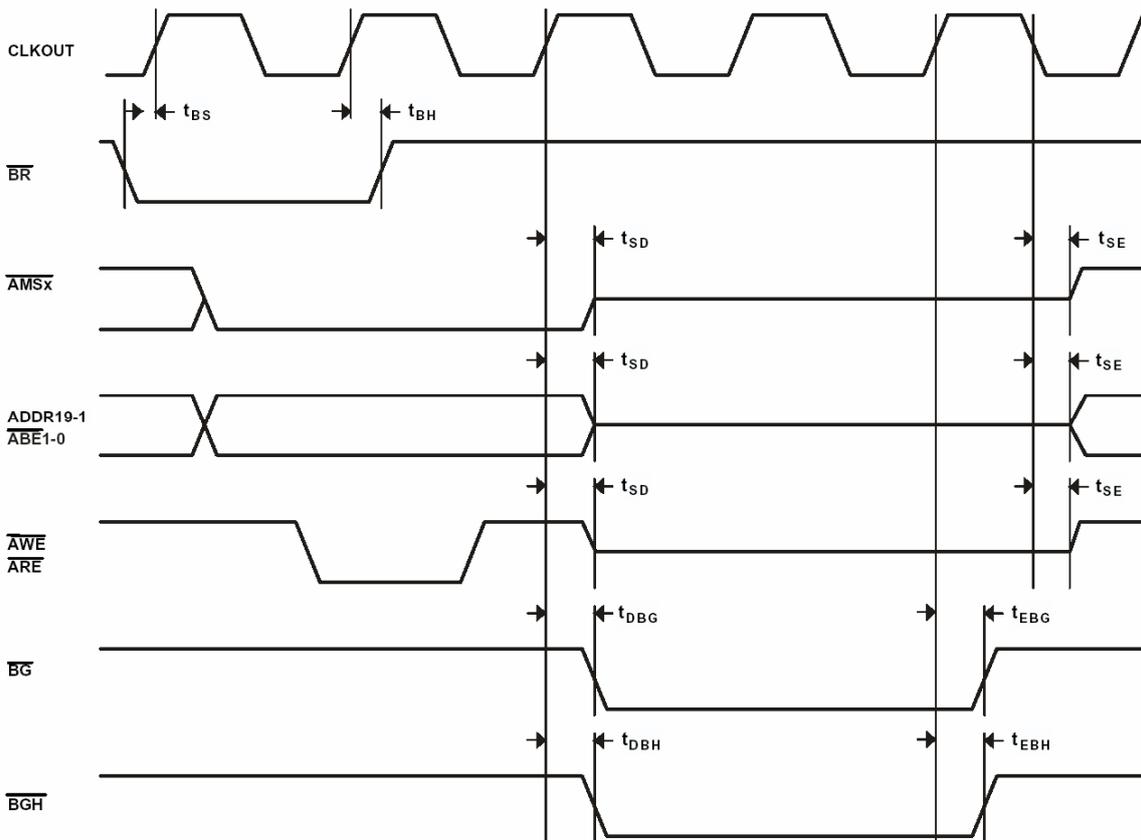


图 15. 外部端口总线请求和许可周期时序

### 并行外设接口时序

并行外设的接口操作描述如 23 页的表 18 和图 16，24 页的图 17 和图 18 所示。

**表 18. 并行外设接口时序**

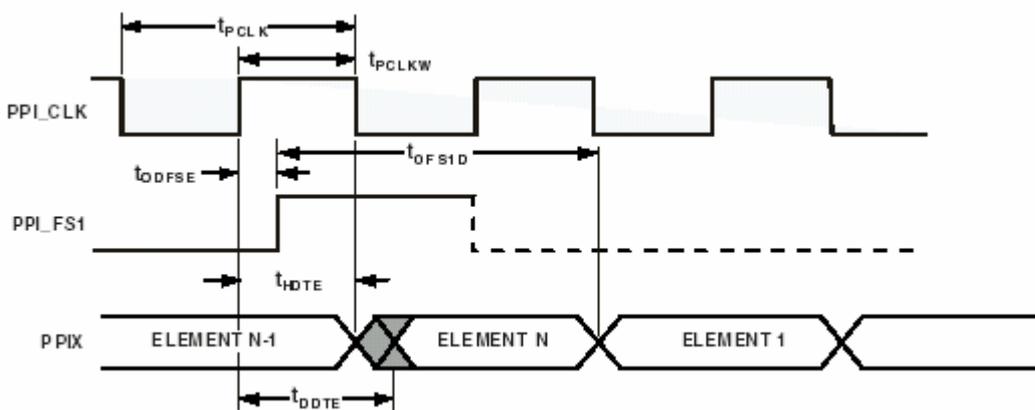
参数	最小	最大	单位
<i>时序要求</i>			
$t_{PCLKY}$	PPL_CLK 宽度		
	GP 帧捕获和 GP 输入模式	6.0	ns
	GP 输出模式	10.0	ns
$t_{PCLK}$	PPL_CLK 周期 <sup>1</sup>		
	GP 帧捕获和 GP 输入模式	15.0	ns
	GP 输出模式	25.0	ns
<i>时序要求—GP 输入和帧捕获模式</i>			
$t_{SDRE}$	PPL_CLK 前接收数据建立 <sup>2</sup>	3.0	ns
$t_{SDRE}$	PPL_CLK 后接收数据保持 <sup>2</sup>	3.0	ns
$t_{DFSE}$	PPL_CLK 后的 FS 输入延迟	3.0	ns
$t_{FSID}$	FS1 声明和数据有效间的延迟（输入模式）	65535	PPL_CLK 周期
<i>开关特性—GP 输入和帧捕获模式</i>			
$t_{DFSE}$	PPL_CLK 后 FS 延时 <sup>3</sup>	12.0	ns
$t_{DDTE}$	PPL_CLK 后发送数据延时 <sup>3</sup> （GP 输出模式）	12.0	ns
$t_{HDTE}$	PPL_CLK 后发送数据保持 <sup>3</sup>	5.0	ns
$t_{FS1D}$	FS1 和有效数据间延时	1	PPL_CLK 周期
$t_{FS12}$	FS2 和 FS1 间延时 <sup>4</sup>	0	PPL_CLK 周期
$t_{FS13}$	FS1 和 FS3 间延时（GP 输出模式）	0	PPL_CLK 周期

<sup>1</sup>PPL\_CLK 频率不能超过  $f_{SCLK}/2$ 。

<sup>2</sup>以采样边沿为参考。

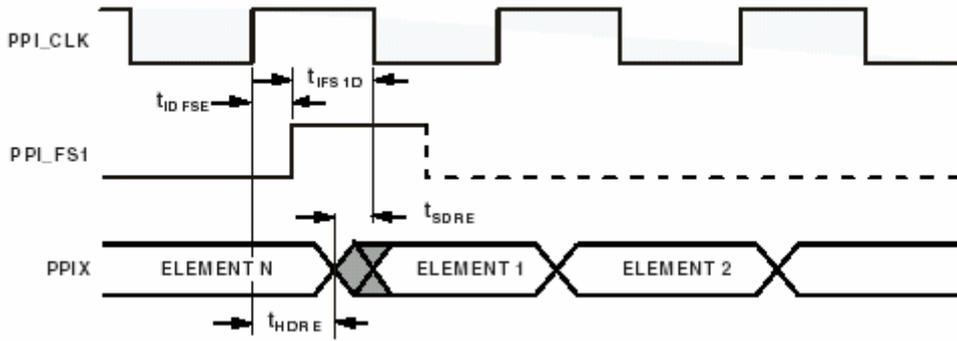
<sup>3</sup>以驱动边沿为参考。

<sup>4</sup>FS2 周期必须是 FS1 周期的整数倍。



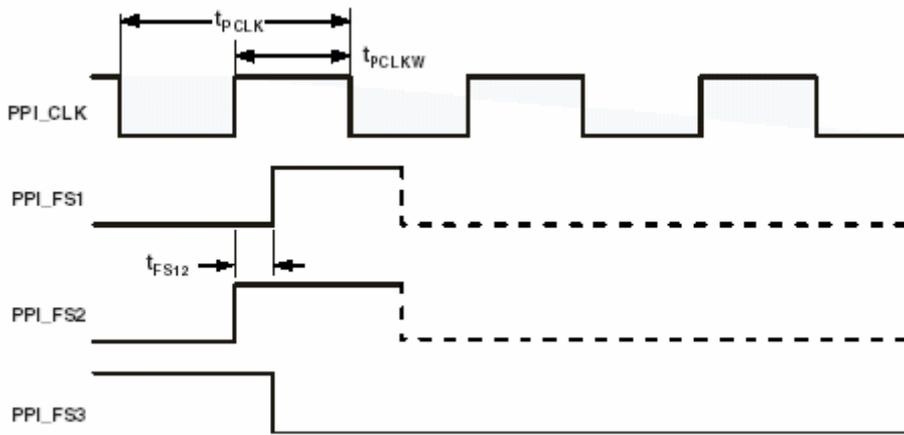
注意：时钟和帧同步极性是可编程的。在图中  $PPI\_DELAY = 0$ 。ELEMENT1 是第一个数据双字帧，在  $PPI\_FS1$  的时钟沿之前可见。ELEMENT N 属于之前的帧。

图16.GP输出模式和帧捕获时序



注意：时钟和帧同步极性是可编程的。在图中PPI\_DELAY = 0。ELEMENT1是第一个数据双字帧，在PPI\_FS1的时钟沿之前可见。ELEMENT N属于之前的帧。

图17.GP输入时序



注：PPI\_CLK 的上升沿或下降沿可作为采样边沿

图 18. 通用帧捕获和输出模式时序

# 初步技术数据

2003年3月

**ADSP-BF53x**

串行口

**表 19. 串行口—外部时钟**

参数		最小	最大	单位
<i>时序要求</i>				
$t_{SFSE}$	TCLK/RCLK 前 TFS/RFS 建立 <sup>1</sup>	3.0		ns
$t_{HFSE}$	TCLK/RCLK 后 TFS/RFS 保持 <sup>1</sup>	3.0		ns
$t_{SDRE}$	RCLK 前接收数据建立 <sup>1</sup>	3.0		ns
$t_{HDRE}$	RCLK 后接收数据保持 <sup>1</sup>	3.0		ns
$t_{SCLKW}$	TCLK/RCLK 宽度	4.5		ns
$t_{SCLK}$	TCLK/RCLK 周期	15.0		ns

<sup>1</sup>以采样边沿为参考。

**表 20. 串行口—内部时钟**

参数		最小	最大	单位
<i>时序要求</i>				
$t_{SFSI}$	TSCLK/RSCLK 前 TFS/RFS 建立 <sup>1</sup>	6.0		ns
$t_{HFSI}$	TSCLK/RSCLK 后 TFS/RFS 保持 <sup>1</sup>	0.0		ns
$t_{SDRI}$	RSCLK 前接受数据建立 <sup>1</sup>	6.0		ns
$t_{HDRI}$	RSCLK 后接受数据保持 <sup>1</sup>	0.0		ns
$t_{SCLKEW}$	TSCLK/RSCLK 宽度	4.5		ns
$t_{SCLKE}$	TSCLK/RSCLK 周期	15.0		ns

<sup>1</sup>以采样边沿为参考。

**表 21. 串行口—外部时钟**

参数		最小	最大	单位
<i>开关特性</i>				
$t_{DFSE}$	TSCLK/RSCLK 后 TFS/RFS 延迟（内部产生的 TFS/RFS） <sup>1</sup>		10.0	ns
$t_{HOFSE}$	TSCLK/RSCLK 后 TFS/RFS 保持（内部产生的 TFS/RFS） <sup>1</sup>	0.0		ns
$t_{DDTE}$	TSCLK 后发送数据延迟 <sup>1</sup>		10.0	ns
$t_{HDTE}$	TSCLK 后发送数据保持 <sup>1</sup>	0.0		ns

<sup>1</sup>以驱动边沿为参考。

**表 22. 串行口—内部时钟**

参数		最小	最大	单位
<i>开关特性</i>				
$t_{DFS1}$	TSCLK/RSCLK 后 TFS/RFS 延迟（内部产生的 TFS/RFS） <sup>1</sup>		4.0	ns
$t_{HOF1}$	TSCLK/RSCLK 后 TFS/RFS 保持（内部产生的 TFS/RFS） <sup>1</sup>	0.0		ns
$t_{DDT1}$	TSCLK 后发送数据延迟 <sup>1</sup>		4.0	ns
$t_{HDT1}$	TSCLK 后发送数据保持 <sup>1</sup>	0.0		ns
$t_{SCLKIW}$	TSCLK/RSCLK 宽度	4.5		ns

<sup>1</sup>以驱动边沿为参考。

**表 23. 串行口—使能和三态**

参数		最小	最大	单位
<i>开关特性</i>				
$t_{DTENE}$	外部 TSCLK 的数据使能延迟 <sup>1</sup>	5.0		ns
$t_{DDTTE}$	外部 TSCLK 的数据禁止延迟 <sup>1</sup>		12.0	ns
$t_{DTENI}$	内部 TSCLK 的数据使能延迟	2.0		ns
$t_{DDTTI}$	内部 TSCLK 的数据禁止延迟 <sup>1</sup>		5.0	ns

<sup>1</sup>以驱动边沿为参考。

**表 24. 外部迟后帧同步**

参数		最小	最大	单位
<i>开关特性</i>				
$t_{DDTLFSE}$	数据延迟从迟后的外部 TFS 或外部 RFS 且 MCE=1, MFD=0 <sup>1,2</sup>		10.5	ns
$t_{DTENLPS}$	数据使能从迟后的 FS 或 MCE=1, MFD=0 <sup>1,2</sup>	3.5		ns

<sup>1</sup> MCE=1, TFS 使能和 TFS 有效, 跟随  $t_{DDTENFS}$  和  $t_{DDTLFSE}$ 。

<sup>2</sup> 如果外部 RFS/TFS 建立到  $RCLK/TCLK > t_{SCLK} / 2$ , 那么适用  $t_{DDTLSCS}$  和  $t_{DTENLSCK}$ , 否则适用  $t_{DDTLFSE}$  和  $t_{DTENLPS}$ 。

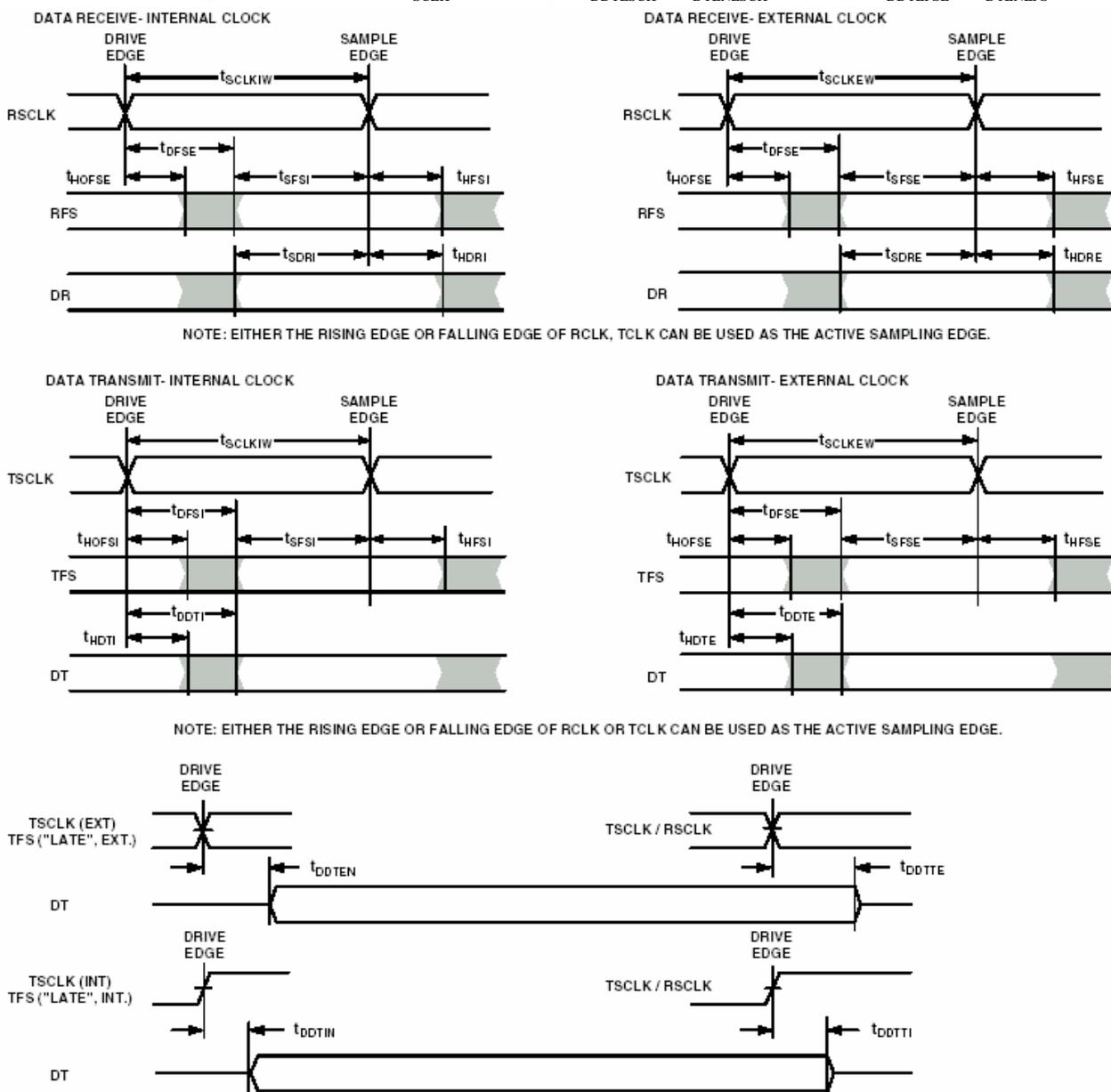
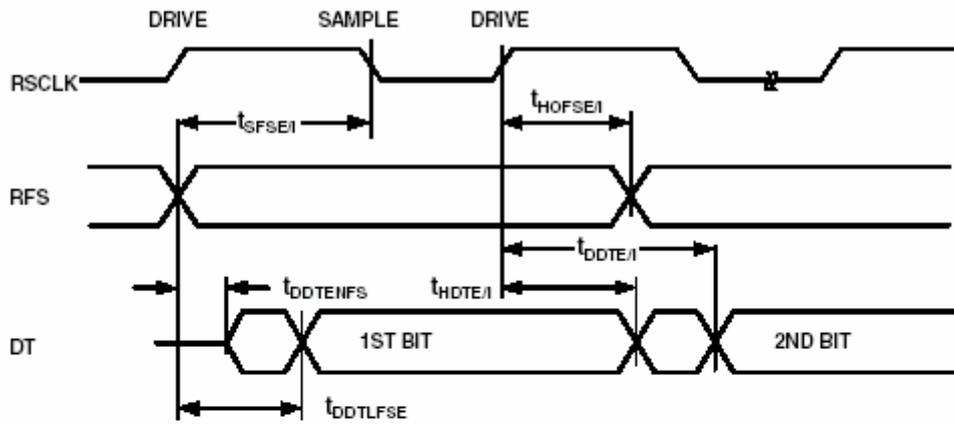


图 19. 串行口

EXTERNAL RFS WITH MCE = 1, MFD = 0



LATE EXTERNAL TFS

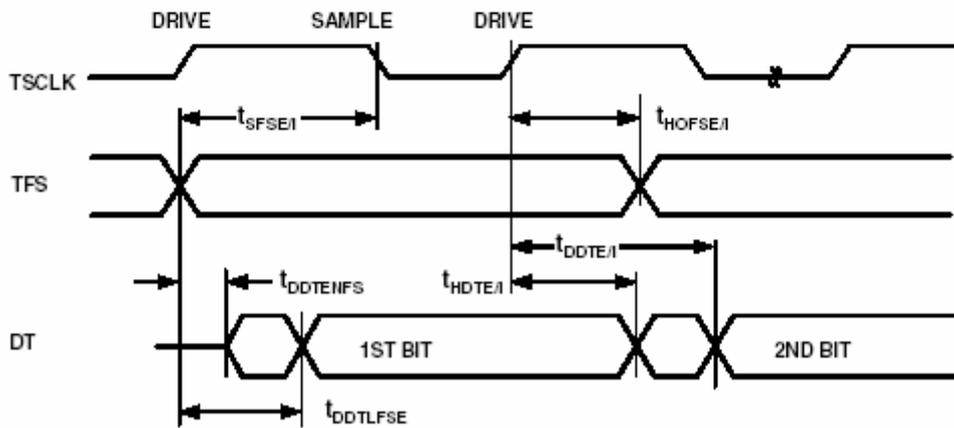
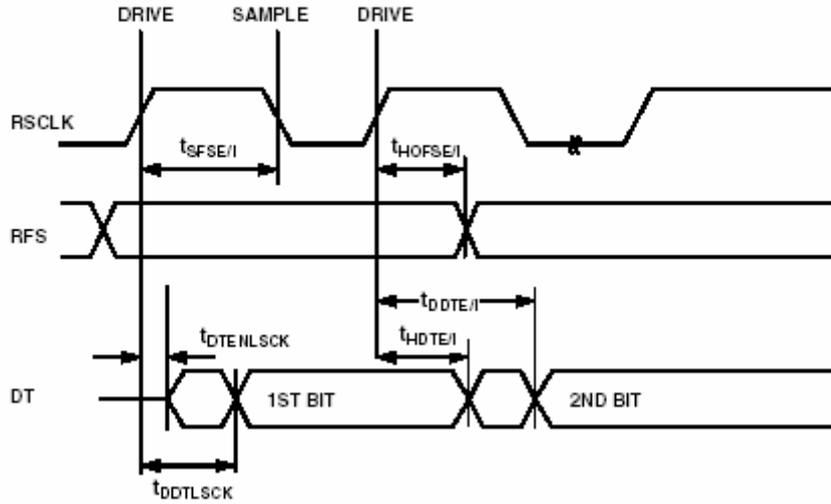


图 20. 外部迟后的帧同步 (帧同步建立  $< t_{sclk}/2$ )

EXTERNAL RFS WITH MCE=1, MFD=0



LATE EXTERNAL TFS

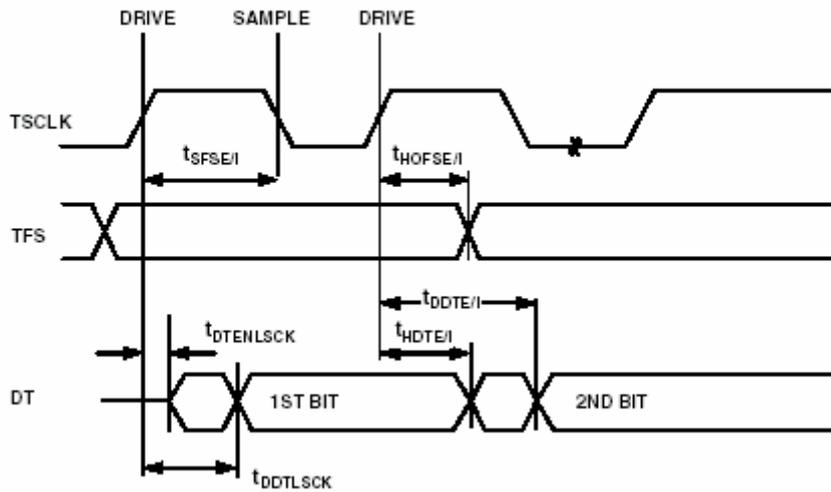


图 21. 外部迟后的帧同步 (帧同步建立  $> t_{sclk}/2$ )

**串行外设接口 (SPI) —主时序**

表 25 和图 22 描述 SPI 端口主操作。

**表 25. 串行外设接口 (SPI) —主时序**

参数		最小	最大	单位
<i>时序要求</i>				
$t_{SSPID}$	数据输入有效到 SCK 边沿 (数据输入建立)	6.0		ns
$t_{HSPID}$	SCK 采样边沿到数据输入无效	0		ns
<i>开关特性</i>				
$t_{SDSCIM}$	$\overline{SPISELx}$ 低到第一个 SCK 边沿 (x=0 或 1)	$2t_{SCK} - 1.5$		ns
$t_{SPICHM}$	串行时钟高电平时间	$2t_{SCK} - 1.5$		ns
$t_{SPICLM}$	串行时钟低电平时间	$2t_{SCK} - 1.5$		ns
$t_{SPICLK}$	串行时钟周期	$4t_{SCK} - 1.5$		ns
$t_{HDSM}$	最后 SCK 边沿到 $\overline{SPISELx}$ 高 (x=0 或 1)	$2t_{SCK} - 1.5$		ns
$t_{SPITDM}$	序列传输延迟	$2t_{SCK} - 1.5$		ns
$t_{DDSPID}$	SCK 边沿到数据输出有效 (数据输出延迟)	0	6	ns
$t_{HDSPID}$	SCK 边沿到数据输出无效 (数据输出保持)	0	5	ns

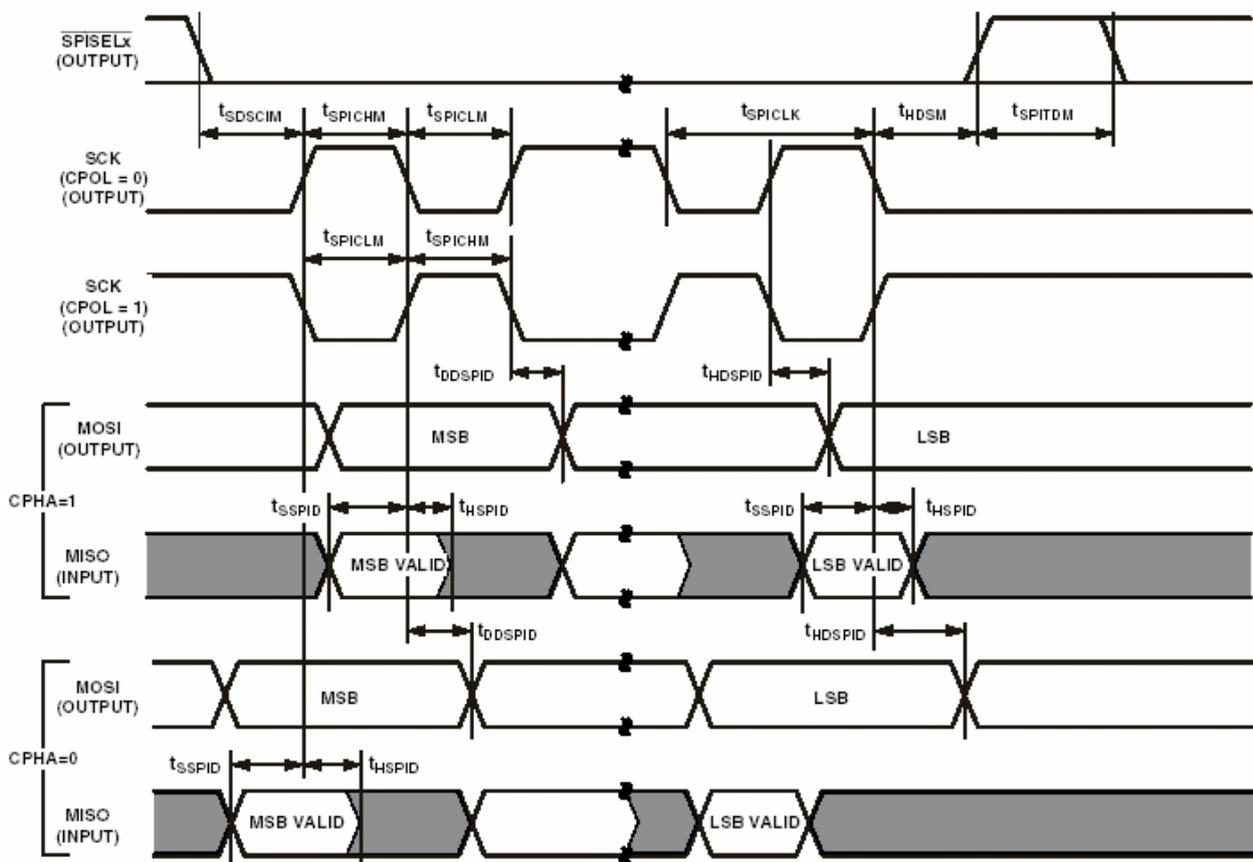


图 22. 串行外设接口 (SPI) —主时序

串行外设接口 (SPI) — 从时序

表 26 和图 23 描述了 SPI 端口从操作。

表 22. 串行外设接口 (SPI) — 从时序

参数		最小	最大	单位
<i>时序要求</i>				
$t_{SPICHS}$	串行时钟高电平时间	$2t_{SCK} - 1.5$		ns
$t_{SPICLS}$	串行时钟低电平时间	$2t_{SCK} - 1.5$		ns
$t_{SPICLK}$	串行时钟周期	$4t_{SCK} - 1.5$		ns
$t_{HDS}$	最后一个 SCK 边沿到 $\overline{SPISS}$ 无效	$2t_{SCK} - 1.5$		ns
$t_{SPITDS}$	序列传输延迟	$2t_{SCK} - 1.5$		ns
$t_{SDSCI}$	$\overline{SPISS}$ 有效到第一个 SCK 边沿	$2t_{SCK} - 1.5$		ns
$t_{SSPID}$	数据输入有效到 SCK 边沿 (数据输入建立)	1.6		ns
$t_{HSPID}$	SCK 采样边沿到数据输入无效	1.6		ns
<i>开关特性</i>				
$t_{DSOE}$	$\overline{SPISS}$ 有效到数据输出启动	0	8	ns
$t_{DSDHI}$	$\overline{SPISS}$ 无效到数据高阻抗	0	8	ns
$t_{DDSPID}$	SCK 边沿到数据输出有效 (数据输出延时)	0	10	ns
$t_{HDSPID}$	SCK 边沿到数据输出无效 (数据输出保持)	0	10	ns

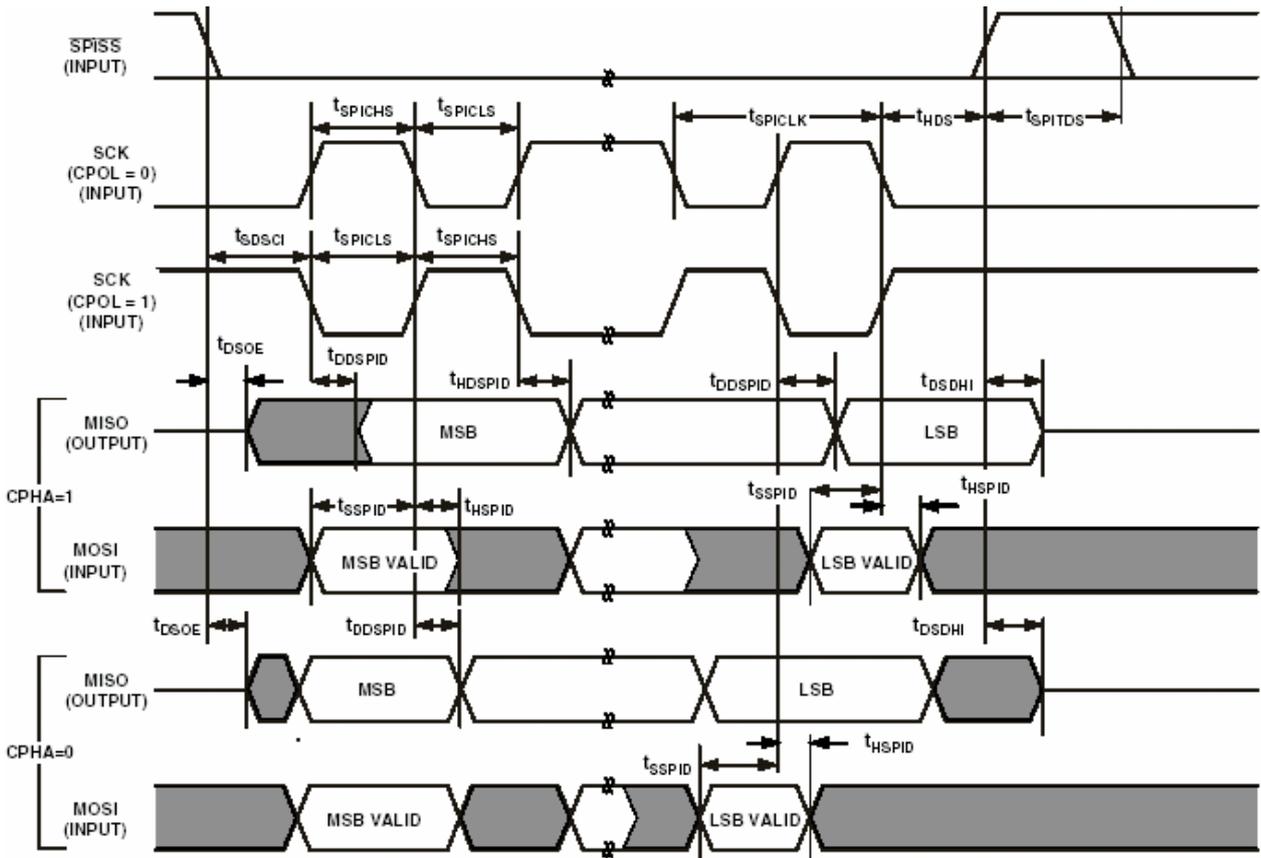


图 23. 串行外设接口 (SPI) — 从时序

### 通用异步收发器 (UART) 端口—接收和发送时序

图 24 描述了 UART 端口接收和发送操作，最大波特率是 SCLK/16。如图 24 所示，在产生内部 UART 中断和外部数据操作之间有一些延迟。这些延迟同 UART 数据传输率相比可以忽略。

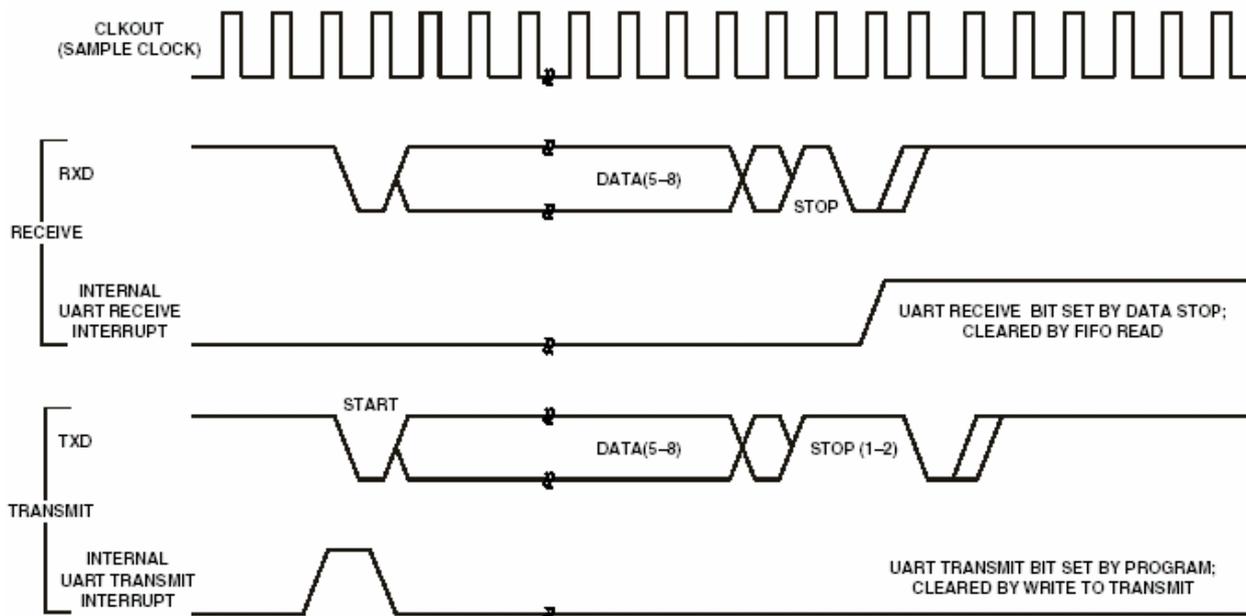


图 24. UART 端口—接收和发送时序

### 定时器周期时序

表 27 和图 25 描述了定时器计数满时的操作。在“宽度捕获模式”和“外部时钟模式”中输入信号是异步的，并且绝对最大输入频率为  $f_{SCLK}/2MHz$ 。

表 27. 定时器周期时序

参数	最小	最大	单位
<b>定时特性</b>			
$t_{WL}$ 定时器脉冲宽度输入低 <sup>1</sup>	1		SCLK 周期
$t_{WH}$ 定时器脉冲宽度输入高 <sup>1</sup>	1		SCLK 周期
<b>开关特性</b>			
$t_{HTO}$ 定时器脉冲宽度输出 <sup>2</sup>	1	$(2^{32}-1)$	SCLK 周期

<sup>1</sup> 在宽度捕获和外部时钟模式中，最小脉冲宽度用于 TMRx 输入引脚。在 PWM 输出模式中，最小脉冲宽度也应用于 PF1 或 PPI\_CLK 输入引脚。

<sup>2</sup>  $t_{HTO}$  的最小时间是一个周期， $t_{HTO}$  的最大时间等于  $(2^{32}-1)$  个周期。

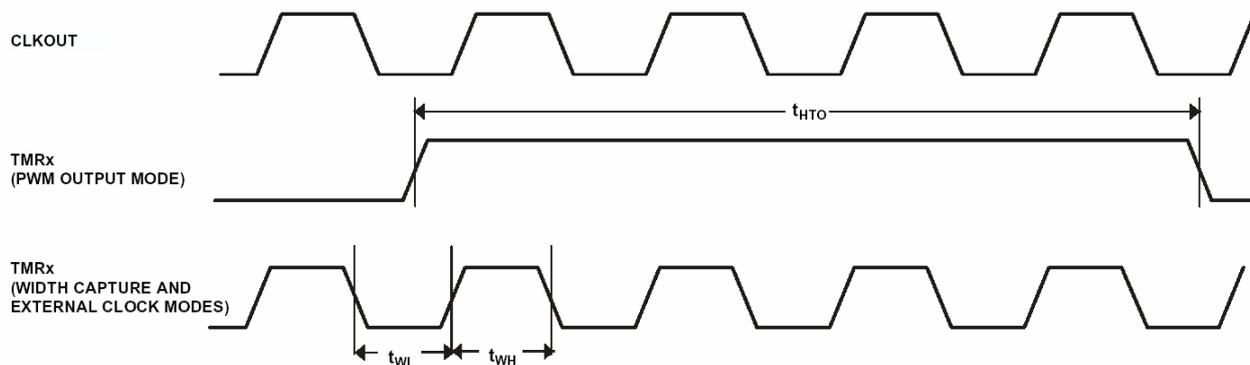


图 25. 定时器 PWM\_OUT 周期时序

可编程标志周期时序

表 28 和图 26 描述了可编程标志的操作。

表 28. 可编程标志周期时序

参数		最小	最大	单位
<i>定时要求</i>				
$t_{WFI}$	标志输入脉冲宽度	$t_{SCLK}+1$		ns
<i>开关特性</i>				
$t_{DFO}$	CLKOUT 低之后到标志输出的延时		6	ns

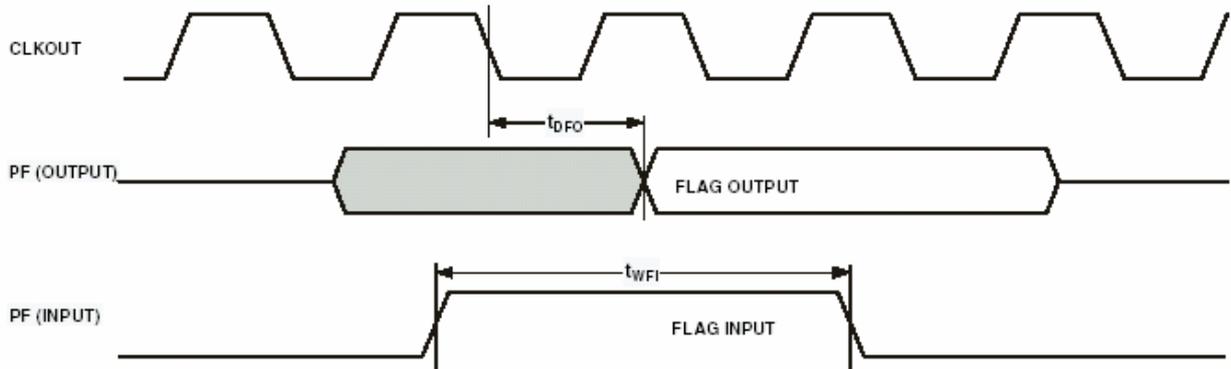


图 26. 可编程标志周期时序

**JTAG 测试和仿真端口时序**

表 29 和图 27 描述 JTAG 端口的操作。

**表 25. JTAG 端口时序**

参数		最小	最大	单位
<i>时序参数</i>				
$t_{TCK}$	TCK 周期	20		ns
$t_{STAP}$	TCK 高电平前 TDI 和 TMS 建立	4		ns
$t_{HTAP}$	TCK 高电平后 TDI 和 TMS 保持	4		ns
$t_{SSYS}$	TCK 低电平前系统输入建立 <sup>1</sup>	4		ns
$t_{HSYS}$	TCK 低电平后系统输入保持 <sup>1</sup>	5		ns
$t_{TRSTW}$	$\overline{TRST}$ 脉冲宽度 <sup>2</sup>	4		TCK cycles
<i>开关特性</i>				
$t_{DTDO}$	TCK 低电平 TDO 延迟		10	ns
$t_{DSYS}$	TCK 低电平后系统输出延迟 <sup>3</sup>	0	12	ns

<sup>1</sup>系统输入 = DATA15-0, ARDY, TMR2-0, PF15-0, PPI\_CLK, RSCLK0-1, RFS0-1, DR0PRI, DR0SEC, TSCLK0-1, TFS0-1, DR1PRI, DR1SEC, MOSI, MISO, SCK, RX,  $\overline{RESET}$ , NMI, BMODE1-0,  $\overline{BR}$ , PP3-0。

<sup>2</sup>最大 50 MHz。

<sup>3</sup>系统输出 = DATA15-0, ADDR19-1,  $\overline{ABE}$  1-0,  $\overline{AOE}$ ,  $\overline{ARE}$ ,  $\overline{AWE}$ ,  $\overline{AMS}$  3-0,  $\overline{SRAS}$ ,  $\overline{SCAS}$ ,  $\overline{SWE}$ , SCKE, CLKOUT, SA10,  $\overline{SMS}$ , TMR2-0, PF15-0, RSCLK0-1, RFS0-1, TSCLK0-1, TFS0-1, DT0PRI, DT0SEC, DT1PRI, DT1SEC, MOSI, MISO, SCK, TX,  $\overline{BG}$ ,  $\overline{BGH}$ , PPI3-0。

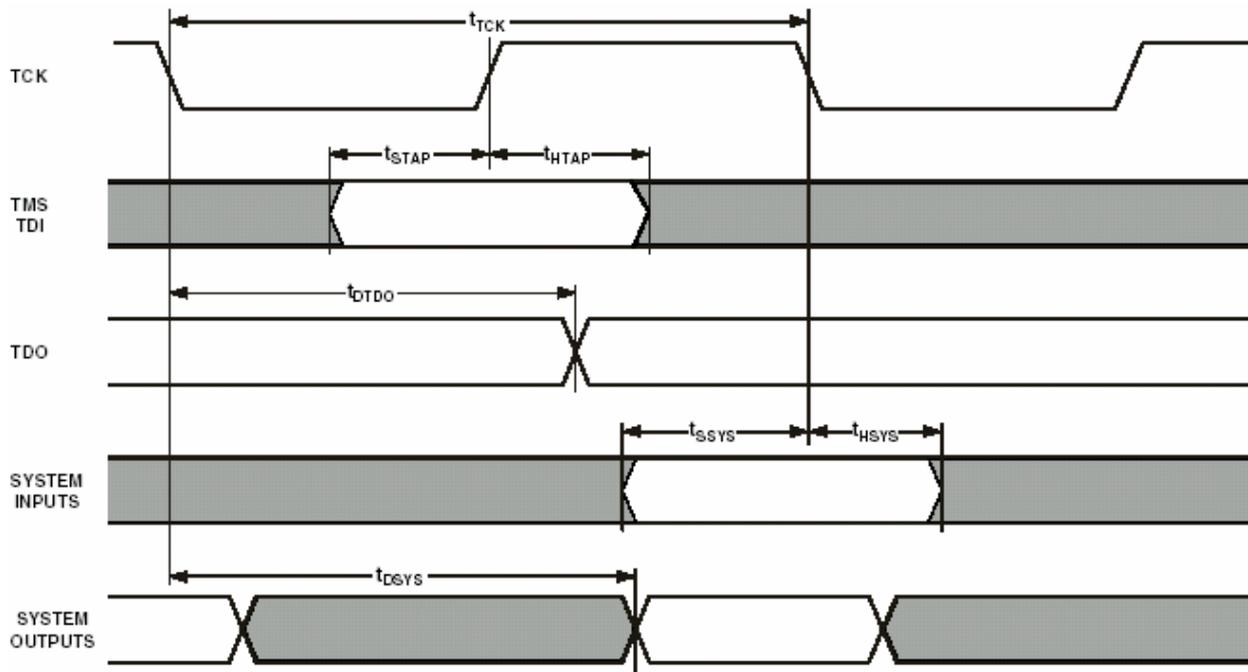


图 27. JTAG 端口时序

# 初步技术数据

2003年3月

**ADSP-BF53x**

## 160-LEAD PBGA 引脚

表 30 按信号名称列出了 BGA 的引脚，表 31 给出了 BGA 引脚的按引脚号排列。

表 30. 160 引脚 BGA 排列表（按字母顺序排列）

Signal	Lead Number	Signal	Lead Number	Signal	Lead Number	Signal	Lead Number
$\overline{\text{ABE0}}$	H13	DATA12	M5	GND	L6	SCK	D1
$\overline{\text{ABE1}}$	H12	DATA13	N5	GND	L8	SCKE	B13
ADDR1	J14	DATA14	P5	GND	L10	$\overline{\text{SMS}}$	C13
ADDR10	M13	DATA15	P4	GND	M4	$\overline{\text{SRAS}}$	D13
ADDR11	M14	DATA2	P9	GND	M10	$\overline{\text{SWE}}$	D12
ADDR12	N14	DATA3	M8	GND	P14	TCK	P2
ADDR13	N13	DATA4	N8	MISO	E2	TDI	M3
ADDR14	N12	DATA5	P8	MOSI	D3	TDO	N3
ADDR15	M11	DATA6	M7	NMI	B10	TFS0	H3
ADDR16	N11	DATA7	N7	PF0	D2	TFS1	E1
ADDR17	P13	DATA8	P7	PF1	C1	TMR0	L2
ADDR18	P12	DATA9	M6	PF10	A4	TMR1	M1
ADDR19	P11	DR0PRI	K1	PF11	A5	TMR2	K2
ADDR2	K14	DR0SEC	J2	PF12	B5	TMS	N2
ADDR3	L14	DR1PRI	G3	PF13	B6	$\overline{\text{TRST}}$	N1
ADDR4	J13	DR1SEC	F3	PF14	A6	TSCLK0	J1
ADDR5	K13	DT0PRI	H1	PF15	C6	TSCLK1	F1
ADDR6	L13	DT0SEC	H2	PF2	C2	TX	K3
ADDR7	K12	DT1PRI	F2	PF3	C3	VDDEXT	A1
ADDR8	L12	DT1SEC	E3	PF4	B1	VDDEXT	C7
ADDR9	M12	$\overline{\text{EMU}}$	M2	PF5	B2	VDDEXT	C12
$\overline{\text{AMS0}}$	E14	GND	A10	PF6	B3	VDDEXT	D5
$\overline{\text{AMS1}}$	F14	GND	A14	PF7	B4	VDDEXT	D9
$\overline{\text{AMS2}}$	F13	GND	B11	PF8	A2	VDDEXT	F12
$\overline{\text{AMS3}}$	G12	GND	C4	PF9	A3	VDDEXT	G4
$\overline{\text{AOE}}$	G13	GND	C5	PPI0	C8	VDDEXT	J4
ARDY	E13	GND	C11	PPI1	B8	VDDEXT	J12
$\overline{\text{ARE}}$	G14	GND	D4	PPI2	A7	VDDEXT	L7
$\overline{\text{AWE}}$	H14	GND	D7	PPI3	B7	VDDEXT	L11
$\overline{\text{BG}}$	P10	GND	D8	$\overline{\text{PPI\_CLK}}$	C9	VDDEXT	P1
$\overline{\text{BGH}}$	N10	GND	D10	$\overline{\text{RESET}}$	C10	VDDINT	D6
BMODE0	N4	GND	D11	RFS0	J3	VDDINT	E4
BMODE1	P3	GND	F4	RFS1	G2	VDDINT	E11
$\overline{\text{BR}}$	D14	GND	F11	RSCLK0	L1	VDDINT	J11
CLKIN	A12	GND	G11	RSCLK1	G1	VDDINT	L4
CLKOUT	B14	GND	H4	RTXI	A9	VDDINT	L9
DATA0	M9	GND	H11	RTXO	A8	VDDRTC	B9
DATA1	N9	GND	K4	RX	L3	VROUT0	A13
DATA10	N6	GND	K11	SA10	E12	VROUT1	B12
DATA11	P6	GND	L5	SCAS	C14	XTAL	A11

# 初步技术数据

2003年3月

**ADSP-BF53x**

表 31. 160 引脚 BGA 引脚定义 (按引脚序号排列)

Lead Number	Signal	Lead Number	Signal	Lead Number	Signal	Lead Number	Signal
A1	VDDEXT	C13	$\overline{\text{SMS}}$	H1	DT0PRI	M3	TDI
A2	PF8	C14	$\overline{\text{SCAS}}$	H2	DT0SEC	M4	GND
A3	PF9	D1	SCK	H3	TFS0	M5	DATA12
A4	PF10	D2	PF0	H4	GND	M6	DATA9
A5	PF11	D3	MOSI	H11	GND	M7	DATA6
A6	PF14	D4	GND	H12	$\overline{\text{ABE1}}$	M8	DATA3
A7	PPI2	D5	VDDEXT	H13	$\overline{\text{ABE0}}$	M9	DATA0
A8	RTXO	D6	VDDINT	H14	$\overline{\text{AWE}}$	M10	GND
A9	RTXI	D7	GND	J1	TSCLK0	M11	ADDR15
A10	GND	D8	GND	J2	DR0SEC	M12	ADDR9
A11	XTAL	D9	VDDEXT	J3	RFS0	M13	ADDR10
A12	CLKIN	D10	GND	J4	VDDEXT	M14	ADDR11
A13	VROUT0	D11	GND	J11	VDDINT	N1	$\overline{\text{TRST}}$
A14	GND	D12	$\overline{\text{SWE}}$	J12	VDDEXT	N2	TMS
B1	PF4	D13	$\overline{\text{SRAS}}$	J13	ADDR4	N3	TDO
B2	PF5	D14	$\overline{\text{BR}}$	J14	ADDR1	N4	BMODE0
B3	PF6	E1	TFS1	K1	DR0PRI	N5	DATA13
B4	PF7	E2	MISO	K2	TMR2	N6	DATA10
B5	PF12	E3	DT1SEC	K3	TX	N7	DATA7
B6	PF13	E4	VDDINT	K4	GND	N8	DATA4
B7	PPI3	E11	VDDINT	K11	GND	N9	DATA1
B8	PPI1	E12	SA10	K12	ADDR7	N10	$\overline{\text{BGH}}$
B9	VDDRTC	E13	ARDY	K13	ADDR5	N11	ADDR16
B10	NMI	E14	$\overline{\text{AMS0}}$	K14	ADDR2	N12	ADDR14
B11	GND	F1	TSCLK1	L1	RSCLK0	N13	ADDR13
B12	VROUT1	F2	DT1PRI	L2	TMR0	N14	ADDR12
B13	SCKE	F3	DR1SEC	L3	RX	P1	VDDEXT
B14	CLKOUT	F4	GND	L4	VDDINT	P2	TCK
C1	PF1	F11	GND	L5	GND	P3	BMODE1
C2	PF2	F12	VDDEXT	L6	GND	P4	DATA15
C3	PF3	F13	$\overline{\text{AMS2}}$	L7	VDDEXT	P5	DATA14
C4	GND	F14	$\overline{\text{AMST}}$	L8	GND	P6	DATA11
C5	GND	G1	RSCLK1	L9	VDDINT	P7	DATA8
C6	PF15	G2	RFS1	L10	GND	P8	DATA5
C7	VDDEXT	G3	DR1PRI	L11	VDDEXT	P9	DATA2
C8	PPI0	G4	VDDEXT	L12	ADDR8	P10	$\overline{\text{BG}}$
C9	PPI_CLK	G11	GND	L13	ADDR6	P11	ADDR19
C10	$\overline{\text{RESET}}$	G12	$\overline{\text{AMS3}}$	L14	ADDR3	P12	ADDR18
C11	GND	G13	$\overline{\text{AOE}}$	M1	TMR1	P13	ADDR17
C12	VDDEXT	G14	$\overline{\text{ARE}}$	M2	$\overline{\text{EMU}}$	P14	GND

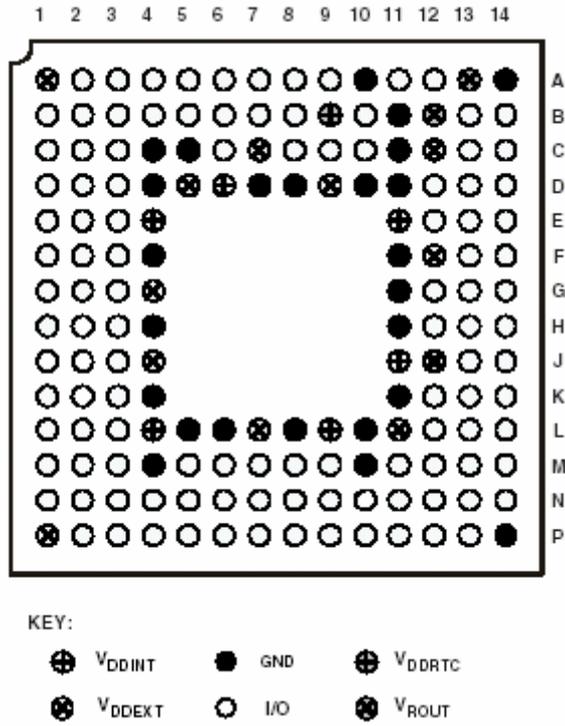


图 28. 160 引脚球型公制 PBGA 引脚配置(顶视图)

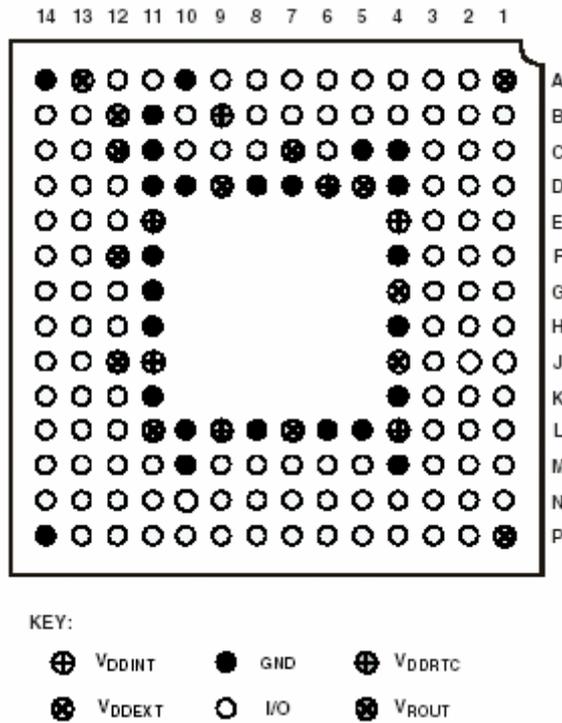
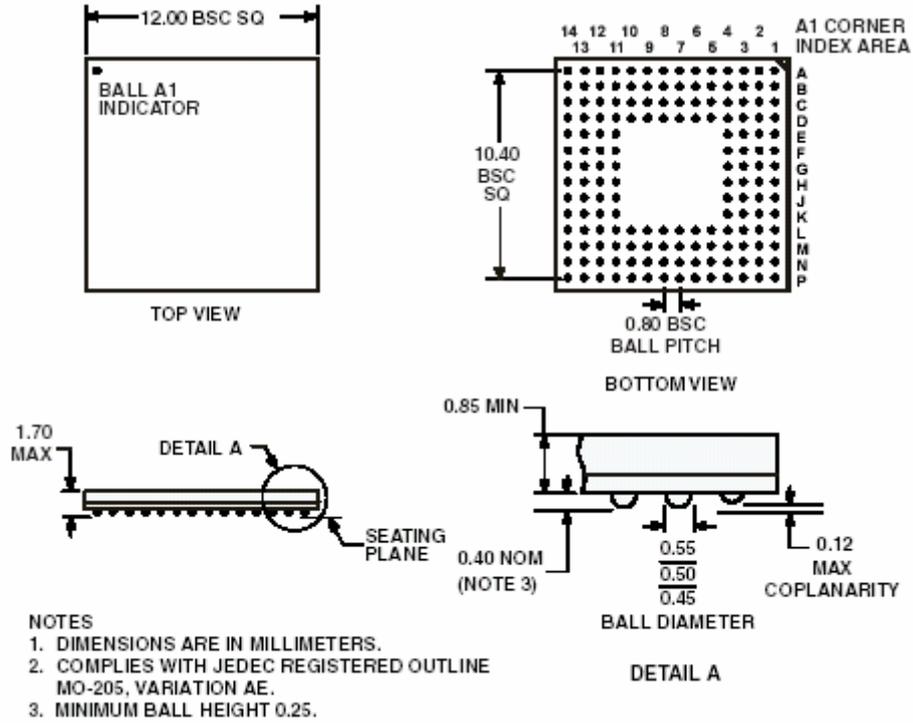


图 31. 160 引脚球型公制 PBGA 引脚配置(底视图)

## 外形尺寸

本页图中外型尺寸的单位为毫米

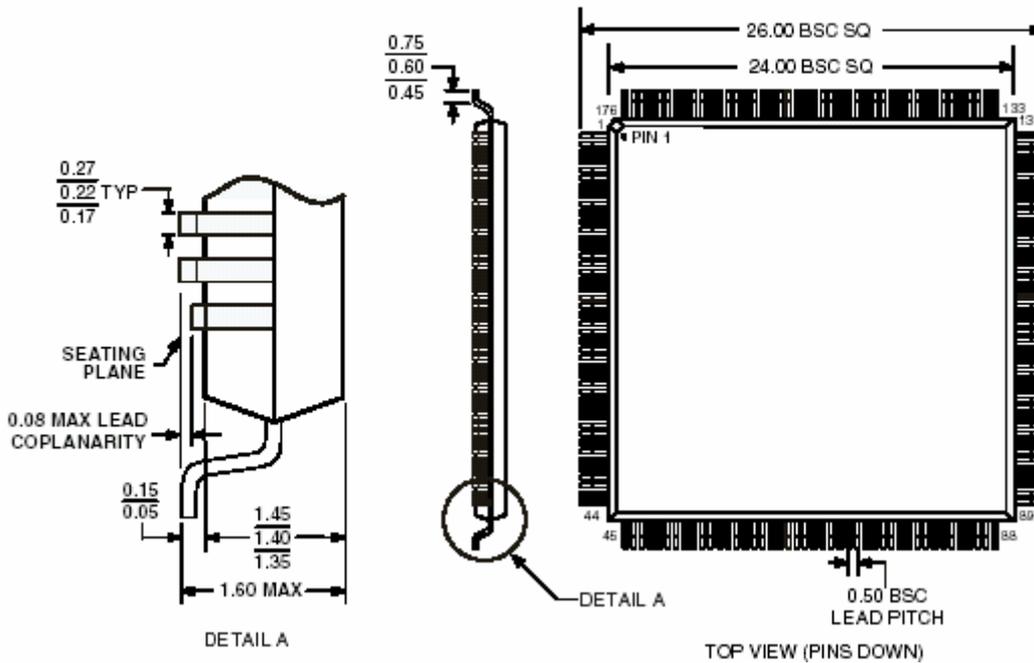
### 160-Lead 公制塑封球型栅格阵列(MINI-BGA) (BC-160)



注:

1. 所有的尺寸以毫米为单位
2. **COMPLIES WITH JEDEC REGISTERED OUTLINE MO-205, VARIATION AE.**
3. 中心尺寸是标称的。

176-LEAD LQFP (ST-176-1)



注:

1. 所有的尺寸以毫米为单位
2. 当以侧向为标准测量时，每个引脚的实际位置与理想位置误差在0.08毫米以内。
3. 中心尺寸是标称的。

订货指导

表 28.

型号	外壳温度范围	最高指令速度	工作电压
ADSP-BF533SKBC-600	0°C~70°C	600MHZ	内部 0.7V~1.2V,I/O2.5V~3.3V
ADSP-BF533SBBC-500	-40°C ~85°C	500MHZ	内部 0.7V~1.2V,I/O2.5V~3.3V
ADSP-BF532SBBC-400	-40°C ~85°C	400MHZ	内部 0.7V~1.2V,I/O2.5V~3.3V
ADSP-BF532SBST-300	-40°C ~85°C	300MHZ	内部 0.7V~1.2V,I/O2.5V~3.3V
ADSP-BF531SBBC-400	-40°C ~85°C	400MHZ	内部 0.7V~1.2V,I/O2.5V~3.3V
ADSP-BF531SBST-300	-40°C ~85°C	300MHZ	内部 0.7V~1.2V,I/O2.5V~3.3V